ＹＭ２６０８
ＯＰＮＡ
アプリケーションマニュアル

ヤマハ株式会社

概　要

ＹＡＭＡＨＡ音源ＬＳＩ　ＯＰＮＡは、ＯＰＮ（ＹＭ２２０３）との互換性を保ちながら、更に機能を拡張した複合型音源システムです。

ＦＭサウンド６音同時発音に加えて、新世代音源に要求されるサンプリング機能、リアリティの高いデジタルリズム音源を内蔵しました。

さらに２チャンネル出力対応としました。

ＦＭ音源，ＳＳＧ音源，ＡＤＰＣＭ音源，リズム音源の４音源部によるシステム構成は、あらゆるサウンドコンセプトに柔軟に対応します。

特　徴

- ＦＭ音源・・・・・・・・・４オペレータ・６音同時発音。
  サイン波ＬＦＯ機能内蔵。
  ＹＭ２２０３とソフトウェアコンパチブル。
- ＳＳＧ音源・・・・・・・ＹＭ２２０３とソフトウェアコンパチブル。
  （出力は３ｃｈをミキシング後出力。）
- ＡＤＰＣＭ音源・・・・・ＡＤＰＣＭ音声分析・合成機能。
  外部メモリ、及びＣＰＵが管理するメモリーへのアクセス可能。
  サンプリングレート１６ＫＨｚmax.
- リズム音源・・・・・・・デジタルリズム６音色。（イベント方式による発音制御）
- ＤＡＣ出力・・・・・・・専用ＤＡＣ　ＹＭ３０１６。２ｃｈ出力。
- マスタークロック・・・・８ＭＨｚ
- Ｎｃｈ-Ｓｉ　ｇａｔｅ　ＭＯＳ　ＬＳＩ
- ５Ｖ単一電源
- ６４ｐｉｎ　プラスチックＳＤＩＰ

第１章　構成と機能

１－１　主要機能

ＯＰＮＡの基本機能は、ＦＭ音源，ＳＳＧ音源，ＡＤＰＣＭ音源，リズム音源の４つの音源部に大別できます。

１）ＦＭ音源部

ＦＭ音源部の基本機能は、ＯＰＮ（ＹＭ２２０３）と同じです。
（□部分が拡張された機能です。）

発音モード・・・・・・４オペレータＦＭ方式、６音同時発音。
アルゴリズム・・・・・８種類。
パラメータ・・・・・・レジスタアドレス、及びＦＭ音源部参照。
ＬＦＯ機能・・・・・・サイン波ＬＦＯ。ピッチ（ＰＭ）、及び振幅（ＡＭ）変調。
　　　　　　　　　　　ＬＦＯ周波数可変。ＰＭＳ，ＡＭＳ制御と、オペレータ毎のＡＭ　ｏｎ／ｏｆｆ可能。
複合正弦波合成・・・・６音中１音可能。
タイマー機能・・・・・Ａ，Ｂの２種類のタイマー。
出力制御・・・・・・・Ｌ及びＲのｏｎ／ｏｆｆ。

２）ＳＳＧ音源部

ＳＳＧ音源部は出力方法を除き、ＯＰＮと同じです。

発音形態・・・・・・・矩形波３音＋ホワイトノイズ。
各データの機能・・・・レジスタアドレス参照。
出力・・・・・・・・・内部ミキシングにより、１端子から出力。
Ｉ／Ｏポート・・・・・８ビット汎用Ｉ／Ｏポート×２

３）リズム音源部

リズム音源部は、リズムＲＯＭを内蔵したＡＤＰＣＭ音声合成方式によるデジタルリズムです。

発音音色数・・・・・・６音（ﾊﾞｽﾄﾞﾗﾑ､ｽﾈｱ､ﾘﾑｼｮｯﾄ､ﾀﾑ､ｼﾝﾊﾞﾙ､ﾊｲﾊｯﾄ）
発音制御・・・・・・・イベント方式（ダンプ可）
レベル制御・・・・・・各音色独立制御可能。
　　　　　　　　　　　トータルレベル制御可能。
出力制御・・・・・・・Ｌ，及びＲのｏｎ／ｏｆｆ。

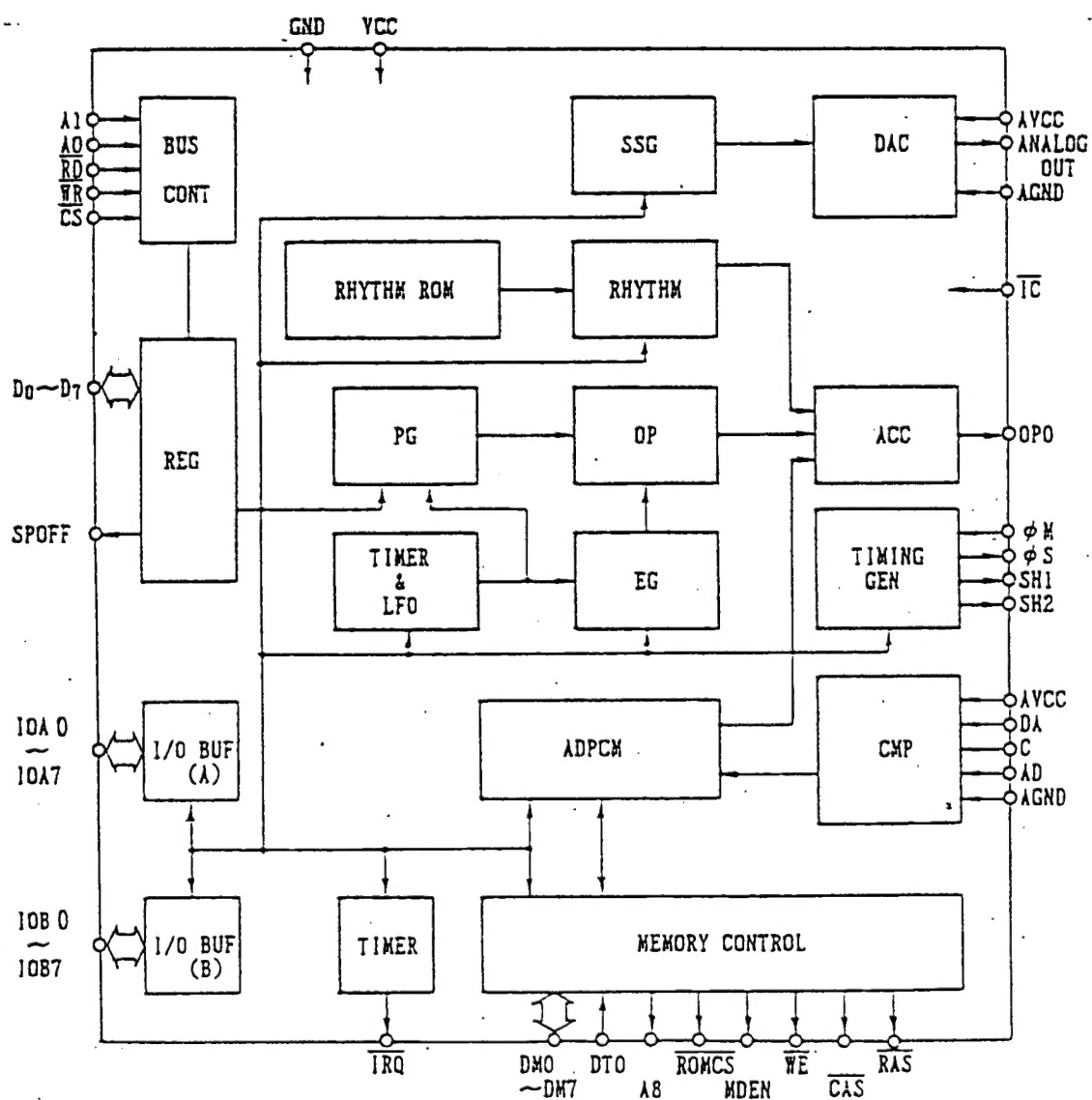
4）ＡＤＰＣＭ音源部

ＡＤＰＣＭ音源部は、音声分析・合成，外部メモリコントロール，ＡＤ／ＤＡ変換機能で構成されています。

サンプリングレート・・２ｋＨｚ～１６ｋＨｚ。
ＡＤ／ＤＡ変換・・・・８ｂｉｔ
ＡＤＰＣＭ分析・・・・４ｂｉｔ
線形補間レート・・・・・５５．５ｋＨｚ
データメモリ・・・・・・外部ＲＡＭ・ＲＯＭ、またはＣＰＵが管理するメモリ。
外部メモリ容量・・・・２５６ｋｂｙｔｅｓ（ｍａｘ）
　ＤＲＡＭアクセスを×１ｂｉｔ、×８ｂｉｔ選択可能。
出力制御・・・・・・・Ｌ及びＲのｏｎ／ｏｆｆ。
無音識別・・・・・・・・分析中の無音状態の識別可能。

5）ＤＡＣ

専用ＤＡＣ・ＹＭ３０１６を使用。

１－２　ブロックダイアグラム

1－3　端子配置図

端子名	番号	I/O	I/O	番号	端子名	
GND	1	I	O	64	ϕS	
D0	2	I/O	I	63	ϕM	
D1	3	I/O	I	62	VCC	
D2	4	I/O	I	61	A1	
D3	5	I/O	I	60	A0	
D4	6	I/O	I	59	$\overline{RD}$	
D5	7	I/O	I	58	$\overline{WR}$	
D6	8	I/O	I	57	$\overline{CS}$	*
D7	9	I/O	O	56	$\overline{IRQ}$	
IOA7	10	I/O	I/O	55	DM7	
IOA6	11	I/O	I/O	54	DM6	
IOA5	12	I/O	I/O	53	DM5	
IOA4	13	I/O	I/O	52	DM4	
IOA3	14	I/O	I/O	51	DM3	
IOA2	15	I/O	I/O	50	DM2	
IOA1	16	I/O	I/O	49	DM1	
IOA0	17	I/O	I/O	48	DM0	
IOB7	18	I/O	O	47	$\overline{RAS}$	
IOB6	19	I/O	O	46	$\overline{CAS}$	
IOB5	20	I/O	O	45	$\overline{WE}$	
IOB4	21	I/O	O	44	MDEN	
IOB3	22	I/O	O	43	ROMCS	
IOB2	23	I/O	O	42	A8	
IOB1	24	I/O	I	41	DTO	
IOB0	25	I/O	I	40	$\overline{TEST}$	*
AGND	26	I	I	39	AGND	
ANALOG OUT	27	O	I	38	DA	
AVCC	28	I	I	37	C	
SH1	29	O	I	36	AD	
SH2	30	O	I	35	AVCC	
OPO	31	O	O	34	SPOFF	
GND	32	I	I	33	$\overline{IC}$	*

注：　本図はＴＯＰ　ＶＩＥＷ
　　* 印の端子にＶｃｃにプルアップされています。

1－4　端子機能

- φM　：　ＯＰＮＡのマスタークロック（標準８ＭＨｚ）を入力します。
- φS,SH1,SH2　：　ＤＡＣ用クロック（φS）と同期信号（SH1 , SH2 ）です。
- OPO　：　ＦＭ、ＡＤＰＣＭ、リズム各音源部のシリアルデータ出力です。

- D0～D7　：　８ｂｉｔの双方向性データバスです。ＣＰＵとデータのやり取りを行います。
- $\overline{CS}$,$\overline{RD}$,$\overline{WR}$,A1,A0　：　データバス（D0～D7）のコントロールを行います。
- $\overline{IRQ}$　：　割り込み信号を出力します。オープンドレイン出力です。

- ANALOG OUT　：　ＳＳＧ音源部のアナログ出力端子です。ソースフォロワ出力です。
- IOA0～IOA7, IOB0～IOB7　：　２系列の８ｂｉｔ汎用Ｉ／Ｏポートです。Ｖｃｃにプルアップされています。

- DM0 ～DM7　：　外部メモリのアドレス（A0～A7）、データ入力（DI0 ～DI7 ）、及びデータ出力（DO1 ～DO7 ）の各信号を対応するDM0 ～DM7 の各端子にマルチプレックスしています。
- A8, DT0　：　A8は外部メモリのアドレス（A8）に、DT0 はデータ出力（DO0 ）に接続します。
- $\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$　：　外部メモリのコントロール信号です。
  外部メモリがＤＲＡＭの場合は、対応する各端子に接続されます。
  ＲＯＭの場合はアドレスのラッチ信号（$\overline{\text{ＲＡＳ}}$・$\overline{\text{ＣＡＳ}}$）に使用して、$\overline{\text{ＲＡＳ}}$がＲＡＳアドレスに、$\overline{\text{ＣＡＳ}}$がＣＡＳアドレスに対応します。
- MDEN, $\overline{ROMCS}$　：　外部メモリのデータを取り込むタイミング信号です。
  MDENが“１”の時、ＤＲＡＭデータを DM1～DM7,DT0 に乗せます。
  $\overline{ROMCS}$ が“０”の時、ＲＯＭデータを DM1～DM7 ,DT0 に乗せます。

- AD,C ,DA　：　ＡＤ変換用の端子です。
  ADはアナログ入力端子で、ＡＤ変換可能な入力電圧はＶｃｃ／２±Ｖｃｃ／４（ｖ）の範囲です。
  C 端子はアナログ信号のサンプルホールド用コンデンサを接続します。
  DA端子は、ＡＤ変換時の基準電圧を入力する端子で、ＤＡＣ出力に接続します。
- SPOFF　：　ＡＤ変換時、ＤＡコンバータをリファレンス電圧発生器として使用するため、アンプ及びスピーカーを切り離す必要があります。
  この端子は、そのためのコントロール端子として使用します。

- $\overline{IC}$　：　ＯＰＮＡの動作を初期化します。
- $\overline{TEST}$　：　ＬＳＩのテスト用端子です。
- GND , AGND　：　グランド端子です。
- Vcc , AVcc　：　＋５Ｖの電源端子です。

1－5　データバスコントロール

アドレス指定，データのリード／ライト等のデータバスコントロールは、$\overline{CS}$・$\overline{WR}$・$\overline{RD}$・A１・A０で行われます。この時のレジスタアドレスの割当、レジスタの制御モードを図１－＊，表１－１に示します。

A１＝“０”

アドレス	
$00～$0F	ＳＳＧ
$10～$1F	ＲＨＹＴＨＭ
$20～$2F	ＦＭ共通部
$30～ $B6	ＦＭ （CH1～CH3）

A１＝“１”

アドレス	
$00～$10	ＡＤＰＣＭ
$30～ $B6	ＦＭ （CH4～CH6）

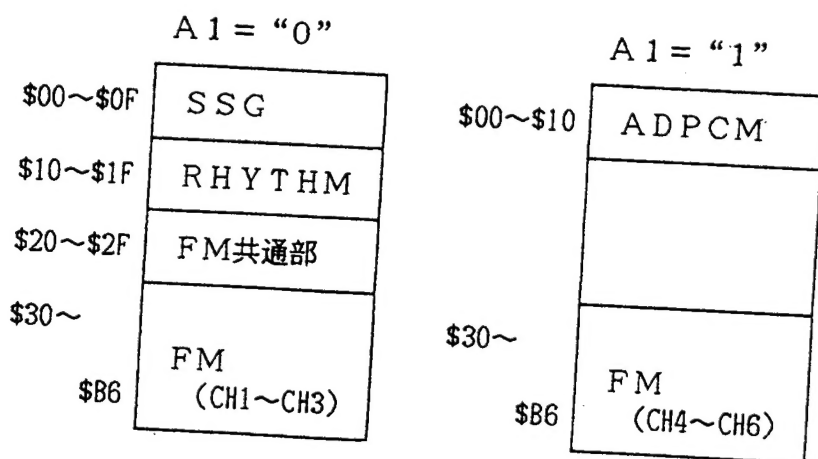



図１－＊

表１－１　データバス制御内容

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	A1	A0	ｱﾄﾞﾚｽ範囲	内　　容
0	1	0	0	0	００～２Ｆ	ＳＳＧ，ＦＭ共通部，リズムのアドレス指定
					３０～Ｂ６	ＦＭチャンネル１～３のアドレス指定
0	1	0	0	1	００～２Ｆ	ＳＳＧ，ＦＭ共通部，リズムのデータライト
					３０～Ｂ６	ＦＭチャンネル１～３のデータライト
0	1	0	1	0	００～１０	ＡＤＰＣＭ関係のアドレス指定
					３０～Ｂ６	ＦＭチャンネル４～６のアドレス指定
0	1	0	1	1	００～１０	ＡＤＰＣＭ関係のデータライト
					３０～Ｂ６	ＦＭチャンネル４～６のデータライト
0	0	1	0	0	××	ステータス０のデータリード
0	0	1	0	1	００～０Ｆ	ＳＳＧレジスタのデータリード
					ＦＦ	デバイス識別コードリード
0	0	1	1	0	××	ステータス１のデータリード
0	0	1	1	1	０８、０Ｆ	ＡＤＰＣＭ，ＰＣＭデータのリード
1	×	×	×	×	××	インアクティブモード

(a) READ/WRITE DATA (SSG部)

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0	COMMENT
00	Fine Tune								Channel-A Tone Period
01					Coarse Tune				
02	Fine Tune								Channel-B Tone Period
03					Coarse Tune				
04	Fine Tune								Channel-C Tone Period
05					Coarse Tune				
06				Period Control					Noise Period
07	IN/OUT IOB	IOA	/Noise			/Tone			/ENABLE
08				M	Level				Channel-A Amplitude
09				M	Level				Channel-B Amplitude
0A				M	Level				Channel-C Amplitude
0B	Fine Tune								Envelop Period
0C	Coarse Tune								
0D					CON	ATT	ALT	HLD	Envelop Shape Cycle
0E	I/O PortA								I/O Port Data
0F	I/O PortB								

(b) WRITE DATA (RHYTHM部)

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0	COMMENT
10	DM	/	RKON						Dump/rhythm KON
11	/	/	RTL						Rhythm Total Level
12	TEST								LSIの TEST DATA
18～1D	L	R	/	IL					Output Select/Instrument Level

(c) WRITE DATA (FM部)

ADDRESS	D7	D6	D5	D4	D3	D2	D1	D0	COMMENT
21	TEST								LSI の TEST DATA
22					LFO				LFO の FREQ CONTROL
24	TIMER-A								TIMER-A の上位 8 Bits
25							TIMER-A		TIMER-A の下位 2 Bits
26	TIMER-B								TIMER-B の DATA
27	MODE		RESET B	RESET A	ENABLE B	ENABLE A	LOAD B	LOAD A	TIMER-A/B の Control及び 3 CH の Mode
28	SLOT					CH			Key-ON/OFF、CH はD0、D1、D2で指定
29	SCH			IRQ ENABLE					IRQ ｲﾈｰﾌﾞﾙ、SCH
2D									ﾌﾟﾘｽｹｰﾗｰを Set
2E									1/3, 1/6分周の選択
2F									分周器を1/2 に ｾｯﾄ
30～3E		DT			MULTI				Detune/Multiple (33, 37, 3B の Addressは無し)
40～4E		TL							Total Level (43, 47, 4B の Addressは無し)
50～5E	KS			AR					Key Scale/Attack Rate (53, 57, 5B の Addressは無し)
60～6E	AMON			DR					Decay Rate/AMON (63, 67, 6B の Addressは無し)
70～7E				SR					Sustain Rate (73, 77, 7B の Addressは無し)
80～8E	SL				RR				Sustain Level/Release Rate (83, 87, 8B の Addressは無し)
90～9E					SSG-EG				SSG-Type Envelop Control (93, 97, 9B の Addressは無し)
A0 A1 A2	F-Num 1								F-Numbers/BLOCK
A4 A5 A6			BLOCK			F-Num 2			
A8 A9 AA	3 CH × F-Num 1								3 CH-3 slot F-Numbers/BLOCK
AC AD AE			3 CH × BLOCK			3 CH × F-Num 2			
B0 B1 B2			FB			CONNECT			Self-Feedback/Connection
B4 B5 B6	L	R	AMS			PMS			PMS/AMS/LR

(d) WRITE DATA (ADPCM部)

ADDRESS	D7 D6 D5 D4 D3 D2 D1 D0
00	CONTROL 1
01	CONTROL 2
02	START ADR (L)
03	START ADR (H)
04	STOP ADR (L)
05	STOP ADR (H)
06	PRESCAL (L)
07	PRESCAL (H)
08	ADPCM-DATA
09	DELTA-N (L)
0A	DELTA-N (H)
0B	EG CTRL
0C	LIMIT ADR (L)
0D	LIMIT ADR (H)
0E	DAC DATA
0F	(PCM DATA)
10	FLAG CONTROL

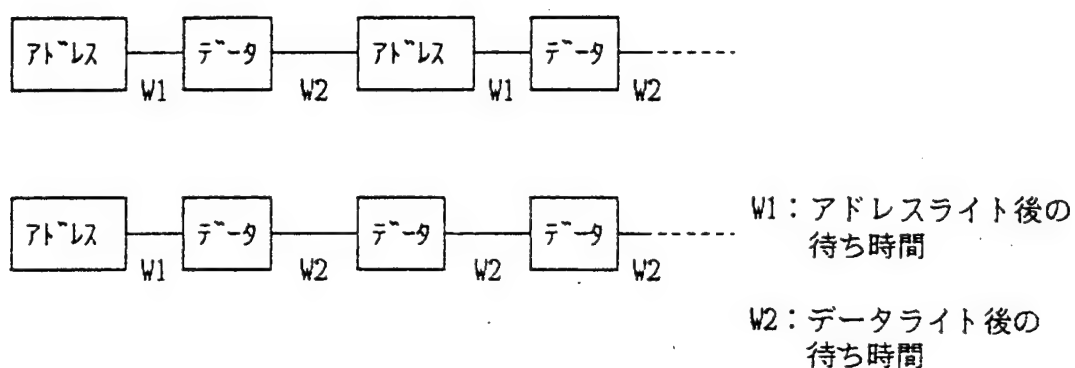
(e) READ DATA

ADDRESS	D7 D6 D5 D4 D3 D2 D1 D0	COMMENT
××	FLAG	Status 0 (A1= "0" のとき) Status 1 (A1= "1" のとき)
FF	ID NO.	Status 2

1）アドレス指定　モード

データバスコントロールがこのモードの時、データバス上のデータはレジスタのアドレスを指定します。指定したアドレスは、次にアドレス指定が行われるまで保持されています。したがって、同じアドレスのデータを連続してアクセスするような場合は、アドレス指定は最初の１回だけでよくなり、その後は不要です。

2）データライト　モード

アドレス指定後、バスコントロール信号を<データライトモード>にして、データバス上のデータをレジスタに書き込みます。

アドレス指定、及びデータライトモードでは、書き込み終了後から次のモードに移るまでに、各音源部所定の待ち時間を設定する必要があります。これは、ＬＳＩの内部において、音源部毎にデータ処理方法が違うためで、レジスタに正しくデータをセットするためには、必ず待ち時間を設定して下さい。
各音源部のレジスタ書き込み時の待ち時間を、表１－＊、１－＊に示します。

3）ステータスリード　モード

バスコントロール信号を<ステータスリードモード>にした時、ステータスレジスタに発生するステータス情報がデータバス上に出力されます。

4）データリード　モード

ＳＳＧ音源部、及びＡＤＰＣＭ音源部のリード可能なレジスタのデータを<データリードモード>時にデータバス上へ出力します。

5）インアクティブ　モード

ＣＳが“1”の時、データバスＤ０～Ｄ７はハイインピーダンスとなります。

《書き込みモード時の待ち時間》

表＊．＊　アドレスライト後

音　源　部	アドレス	待ちサイクル
ＦＭ	＄２１～＄Ｂ６	１７
ＳＳＧ	＄００～＄０Ｆ	０
リズム	＄１０～＄１Ｄ	１７
ＡＤＰＣＭ	＄００～＄１０	０

表＊．＊　データライト後

音源部	アドレス	待ちサイクル
ＦＭ	＄２１～＄９Ｅ	８３
	＄Ａ０～＄Ｂ６	４７
ＳＳＧ	＄００～＄０Ｆ	０
リズム	＄１０	５７６
	＄１１～＄１Ｄ	８３
ＡＤＰＣＭ	＄００～＄１０	０

＊サイクル数は、マスタークロックφM のサイクル数です。

第２章　ＦＭ音源部

ＦＭ音源部は、４オペレータＦＭ方式による６音（色）同時発音を行うオペレータブロック、音に周期的な変化を与えるＬＦＯブロック、及びこれらを制御するための各パラメータを配置したレジスタによって構成されています。

２－１　ＦＭ方式について

ＦＭ音源部の各ブロックの機能を理解するために、初めにＦＭ方式について、少し触れておきます。ＦＭ音源を充分理解している場合は、この項は必要ありません。
［　２－２項　レジスタ構成　］から始めて下さい。

２－１－１　オペレータ

ＦＭ音源部には、図２－１のブロックで表せるＦＭオペレータ（セル）と呼ばれるユニットが用意されています。このユニットの機能は、①式のような表現ができます。

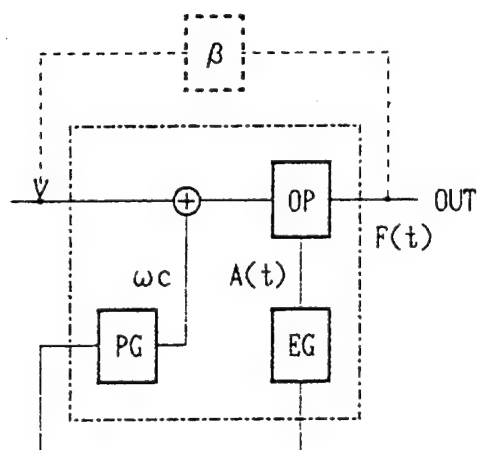
$$F(t)=A(t)\sin\omega ct \qquad \cdots\cdots ①$$

OP（ｵﾍﾟﾚｰﾀ）
：ｓｉｎ波発生回路。
PG（ﾌｪｲｽﾞｼﾞｪﾈﾚｰﾀ）
：周波数（位相）情報発生回路。
ｵﾍﾟﾚｰﾀにデータ読み出し速度（ωｔ）を与える。
EG（ｴﾝﾍﾞﾛｰﾌﾟｼﾞｪﾈﾚｰﾀ）
：ｵﾍﾟﾚｰﾀの出力レベル（Ａ(ｔ)）を制御する。

図２－１　ＦＭオペレータセル

①式は、ＦＭオペレータ（セル）が周波数、及び振幅（エンベロープ）可変の正弦波発振器であることを表しています。しかし、これではサイン波しか出力しませんから、音色としては余り面白くありません。
そこで、複数のオペレータを接続することでサイン波による周波数変調を行い、複雑な倍音構成の音色を作成できるようにしました。これがＦＭ方式です。

２個のオペレータを直列接続した時の出力を、②式に示します。

$$F(t)=A(t)\sin(\omega ct+I(t)\sin\omega mt) \qquad \cdots\cdots ②$$

Ａ(ｔ)：　振幅
Ｉ(ｔ)：　変調度
ωｃ　：　キャリア（被変調オペレータ）の周波数（位相情報）
ωｍ　：　モジュレータ（変調オペレータ）の周波数（位相情報）

つまり、ＦＭ音源の音色作成は、キャリア，モジュレータのＰＧ，ＥＧを各々のパラメータで制御して、Ａ(ｔ)，Ｉ(ｔ)，ωｃ，ωｍを発生する作業と言えます。

図２－２はＦＭ方式の基本構成である２オペレータＦＭのブロック図です。

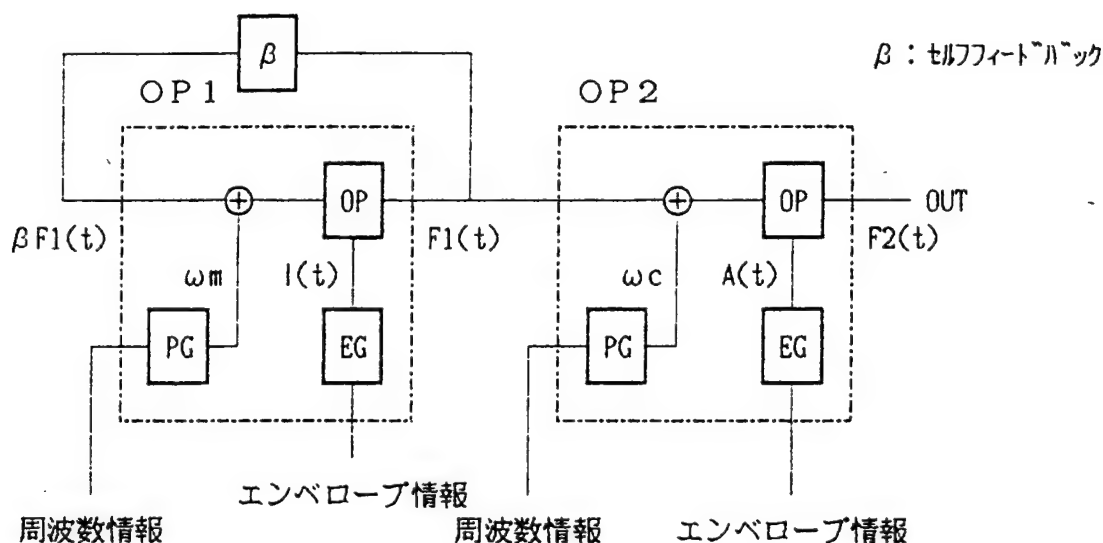



図２－２　２オペレータＦＭ

図２－２で、βはセルフフィードバックの帰還率です。セルフフィードバックは、モジュレータの出力を変調入力として、フィードバックする方式です。
ＯＰ１の出力を③式に示します。

$$F1(t)=I(t)\sin(\omega mt+\beta F1(t)) \cdots\cdots\cdots ③$$

フィードバックＦＭは、オペレータを直列に接続したことと等価であり、その結果、倍音成分は整数次の高調波となるため、弦楽器等に見られる鋸歯状波形（のこぎり波）の音色作成に適しています。

以上①②③の式によって、ＦＭ方式が表現出来ます。そして、これらの組合せで、さらに幅広い音作りを可能としています。この接続形態のことをアルゴリズム（コネクション）と言います。
ＯＰＮＡは、１音（１CH）当り４個のオペレータを接続する、４オペレータＦＭ方式が採用されており、８種類のアルゴリズムから選択することになります。

２－１－２　パラメータ

これまでの事をまとめると、ＦＭ音源の音創りは以下の設定を行えばよいことになります。

◎　アルゴリズムの選択
◎　ＰＧ（フェイズジェネレータ）パラメータを設定して、オペレータに周波数情報を与える。
◎　ＥＧ（エンベロープジェネレータ）パラメータを設定して、オペレータにエンベロープ情報を与える。
◎　フィードバックＦＭにおけるβの設定。

パラメータは、ＦＭ音源部の各レジスタにデータを書き込む事で設定されます。

オペレータの各ブロックを制御するパラメータは、以下のとおりです。

・アルゴリズムに関するパラメータ：Algorithm(Connection),Self-Feedback
・ＰＧパラメータ　　　　　　　　：Multiple,Detune,F-Numbers,Block
・ＥＧパラメータ　　　　　　　　：TotalLevel,
Attack Rate,Decay Rate,Sustain Rate,
Sustain Level,Release Rate,SSG-Type EG,
Key Scale
・ＬＦＯパラメータ　　　　　　　：FREQ.CONTROL(LFO Speed),AMS,PMS,AMON

２－１－３　チャンネルとスロット

ＯＰＮＡは、６音（６チャンネル）を同時に発音することが可能です。そして、１音あたり４オペレータ必要ですから、合計では２４個のオペレータが演算を行っていることになります。しかし、これはＦＭ音源を概念的に理解するための便宜上の数字で、ＬＳＩ内部にオペレータセルは１ユニットしかありません。ＦＭ音源の実際の動作としては、オペレータセルを時分割処理で２４回の演算を行い、６音同時発音が可能となります。
このようにシリアルに演算を行うことから、時間軸上のオペレータの状態をスロットと表現します。
以後、音＝チャンネル，オペレータ＝スロットとして扱っていきます。

２－２ レジスタ構成

ＦＭ音源部のレジスタは＄２１～＄Ｂ６からなり、音創り及び発音制御はレジスタに適当なデータを書き込むことにより行われます。また、機能別に次のように分類されます。

・＄２１～＄２Ｆ： 全ての発音チャンネルに対して共通に働く機能。
・＄３０～＄９Ｅ： オペレータ（スロット）毎の音色パラメータ。
・＄Ａ０～＄Ｂ６： チャンネル単位に設定するパラメータ及び周波数情報。

２－２－１ 共通レジスタ：＄２１～＄２Ｆ

□ Ｔｅｓｔ：＄２１

ＯＰＮＡテスト用レジスタです。ユーザーアプリケーションでは使用しません。

□ ＬＦＯ：＄２２ ［33ページ “ＬＦＯ”参照］

ＬＦＯの発振周波数を設定するレジスタです。ＬＦＯは、ＯＰＮ（ＹＭ２２０３）に対して追加された機能で、サイン波によるＬＦＯをハード上で可能にしました。

□ タイマー：＄２４～＄２７ ［35ページ “タイマー”参照］

２種類のタイマーとタイマーコントローラ用のレジスタです。ＯＰＮＡの発音制御等に使用することでＣＰＵの負荷を軽減します。

□ Ｋｅｙ ｏｎ／ｏｆｆ：＄２８

チャンネル指定とスロットのｏｎ／ｏｆｆにより、チャンネル毎のＫｅｙアサインを行います。ただし、＄２９のＤ７（ＳＣＨ）が“０”の時は、チャンネル４～６はアサインできません。

	D7	D6	D5	D4	D3	D2	D1	D0
$28	SLOT				/	CH.		

D4	ｽﾛｯﾄ1のON/OFF
D5	ｽﾛｯﾄ2のON/OFF
D6	ｽﾛｯﾄ3のON/OFF
D7	ｽﾛｯﾄ4のON/OFF

D2	D1	D0	
0	0	0	ﾁｬﾝﾈﾙ 1
0	0	1	ﾁｬﾝﾈﾙ 2
0	1	0	ﾁｬﾝﾈﾙ 3
1	0	0	ﾁｬﾝﾈﾙ 4
1	0	1	ﾁｬﾝﾈﾙ 5
1	1	0	ﾁｬﾝﾈﾙ 6

□ SCH, IRQ ENABLE：$29

	D7	D6	D5	D4	D3	D2	D1	D0
$29	SCH	／	／	EN ZERO	EN BRDY	EN EOS	EN TB	EN TA

・SCH　　　：ＯＰＮＡの発音チャンネル数を設定するｂｉｔです。
“０”の時、３音（ＣＨ１～ＣＨ３）発音です。《ＯＰＮモード》
“１”の時、６音同時発音です。　　　　　《ＯＰＮＡモード》

イニシャルクリア後の初期設定値は“０”です。６音同時発音で使用するためには、最初にこのｂｉｔを“１”にして下さい。

・IRQ ENABLE：割り込み信号を制御します。
D4～D0の各ｂｉｔが“１”の時、対応するステータスフラグの発生に同期して、$\overline{\text{IRQ}}$端子をＬｏｗレベルにします。
D4～D0の初期設定値は“１”です。

□ プリスケーラー機能：＄２Ｄ～＄２Ｆ

ＦＭ及びＳＳＧ音源部の内部動作クロックを決める分周値を設定します。これらのレジスタはアドレスデータを書き込むだけでプリスケーラーがセットされます。
初期設定値は、ＦＭ音源　１／６，ＳＳＧ音源　１／４です。

表２－１　プリスケーラーによる内部クロックの設定

アドレス指定	分周値 n		マスタークロックの最大値：φM max
	ＦＭ音源	ＳＳＧ音源	
＄２Ｄ	１／６	１／４	８MHz
＄２Ｄ，＄２Ｅ	１／３	１／２	４MHz
＄２Ｆ	１／２	１／１	２．６７MHz

内部クロック：φINT=φM／ｎ

プリスケーラー機能は、ＦＭ、及びＳＳＧ音源部だけに有効な機能です。したがって、ＯＰＮＡの全ての音源部をアクセスするような場合には、初期設定値で使用して下さい。リズム、及びＡＤＰＣＭ音源部は、サンプリングレート等の仕様をφM が８MHz の時の値で規定しています。

２－２－２　パラメータ及びチャンネルレジスタ：＄３０～＄Ｂ６

オペレータ（スロット）毎の音色パラメータとチャンネル単位に設定するデータを配置したレジスタです。各パラメータに対応するレジスタアドレスを表２－２に示します。
バンク切り替えによるチャンネルの指定は、バスコントロール信号Ａ１で行います。

→Ｐ７　［１－５　データバスコントロール参照］

表２－２　レジスタアドレスとチャンネル・スロットの関係

スロット パラメータ	CH1／CH4				CH2／CH5				CH3／CH6			
	S1	S3	S2	S4	S1	S3	S2	S4	S1	S3	S2	S4
DT/MULTI	30	34	38	3C	31	35	39	3D	32	36	3A	3E
TL	40	44	48	4C	41	45	49	4D	42	46	4A	4E
KS/AR	50	54	58	5C	51	55	59	5D	52	56	5A	5E
AM/DR	60	64	68	6C	61	65	69	6D	62	66	6A	6E
SR	70	74	78	7C	71	75	79	7D	72	76	7A	7E
SL/RR	80	84	88	8C	81	85	89	8D	82	86	8A	8E
SSG-EG	90	94	98	9C	91	95	99	9D	92	96	9A	9E
F-Num1	A0				A1				A2			
Block/F-Num2	A4				A5				A6			
*F-Num1　＊１									A9	A8	AA	A2
*Block/F-Num2　＊１									AD	AC	AE	A6
FB/Algorithm	B0				B1				B2			
L/R,AMS/PMS	B4				B5				B6			

＊１：＄Ａ８～＄ＡＡ，＄ＡＣ～＄ＡＥは、チャンネル３を効果音モード、又はＣＳＭ音声合成モードにした時の周波数情報を設定するレジスタです。
したがって、通常の発音モードでは使用しません。
チャンネル３のモード設定については、＊＊ページを参照してください。

２－３　アルゴリズム

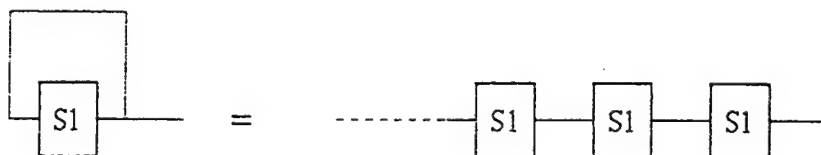
２－３－１　アルゴリズム

オペレータの組合せ（接続形態）のことをアルゴリズム、またはコネクションといいます。ＯＰＮＡのような４オペレータＦＭ音源では、８種類のアルゴリズムを選択できます。
各スロットはアルゴリズムによって、モジュレータ、キャリアとして働きます。但し、第４スロットはアルゴリズムに関係なく、必ずキャリアに設定されます。

アルゴリズムの選択は、ＦＭ音源の音創りにおいて、最も重要な要素となります。音創りの基本手順は、まず最初に目的の音色に最も適したアルゴリズムを選択することから始めます。その後、各スロット毎にパラメータを設定して、音色を作成することになります。
図２－３にアルゴリズムの形態、及び各アルゴリズムの特徴を示します。

２－３－２　フィードバック

各チャンネルの第１スロットには、セルフフィードバック機能があります。セルフフィードバックとは、オペレータが自分自身の出力を変調信号としてフィードバックすることで、自己変調を行う機能の事です。
帰還率βは変調度を表し、０～７の８ステップの設定ができます。

フィードバックは、同じパラメータ設定のオペレータを直列接続した状態と等価になります。なります。この効果は高調波成分が一様に分布された整数次の倍音構成、即ち鋸歯状波に見られる高調波スペクトルとなり、ストリングス系の音色に適しています。さらに変調度を深くすることで、ノイズの発生等に可能です。

□　ＦＢ／Ａｌｇｏｒｉｔｈｍ：＄Ｂ０～＄Ｂ２

セルフフィードバックの変調度、及びアルゴリズムを設定します。

	D7	D6	D5	D4	D3	D2	D1	D0
$B0～$B2	/	/	Feedback			Algorithm		

表２－３にフィードバック変調度を示します。

表２－３　フィードバック変調度

Feedback	0	1	2	3	4	5	6	7
変調度	OFF	π/16	π/8	π/4	π/2	π	2π	4π

0
シリアル4連モード
S1
S2
S3
S4
M
M
M
C
1
ダブル変調シリアル３連モード
S1
M
S3
S4
M
C
S2
M
2
ダブル変調モード①
S1
M
S4
C
S2
S3
M
M
3
ダブル変調モード②
S1
S2
M
M
S4
S3
M
C
4
シリアル２連・２パラレルモード
S1
S2
C
M
S3
S4
M
C
5
共通変調３パラレルモード
S2
C
S1
S3
M
C
S4
C
6
シリアル２連＋２サインモード
S1
M
S2
S3
S4
C
C
C
7
4パラレルサイン合成モード
S1
S2
S3
S4
C
C
C
C
M:ﾓｼﾞｭﾚｰﾀ
C:ｷｬﾘｱ

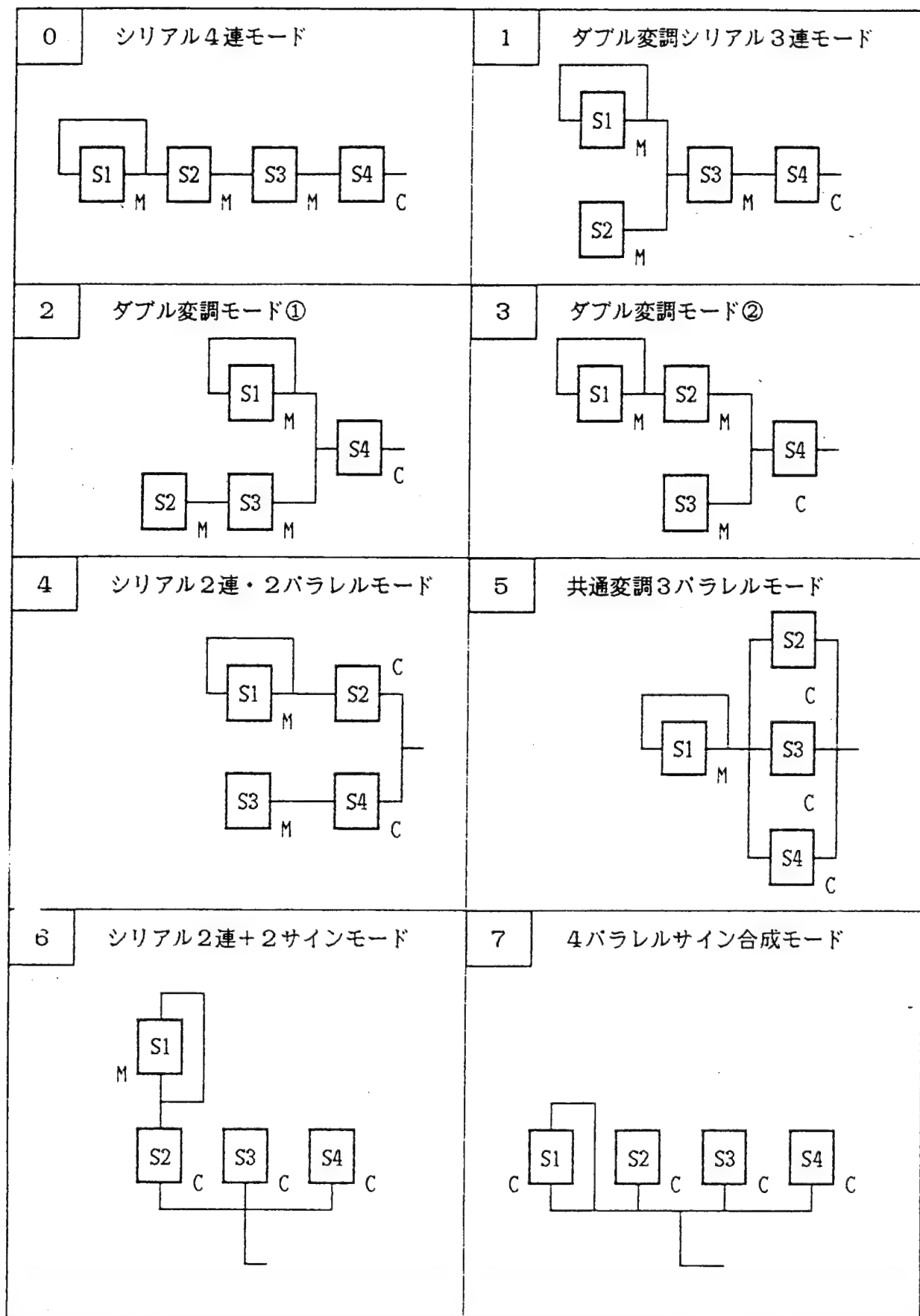



図２－３　アルゴリズム

１）シリアル４連モード

４個のスロットを直列接続して、多重変調を行います。多重変調方式は、連続的な変調の繰り返しの結果、最終のキャリア出力では非常に複雑な倍音構成が得られるます。
S4とS3で基本となる音色を作り、S2，S1では倍音成分を調整して微妙な音色の味付けをします。

２）ダブル変調シリアル３連モード

S3をS2，S1の合成出力で変調します。１）同様、S4,S3で基本音色を作り、S2,S1のパラメータの設定で、さらに細かい音作りをします。

３）ダブル変調モード①

S4を２系列のモジュレータで変調しています。基本となる音色はS1とS4で作り、S2とS3で音色に自然感を与える付加音を加えます。

４）ダブル変調モード②

３）とよく似ていますすが、S3にはセルフフィードバックがかけられませんので、フルートのような木管楽器の音に適しています。S2，S1ではノイズ成分を作ります。

１）～４）はキャリアが１個ですから、単一音色の音作りに適しています。複雑な倍音成分を持ったソロ楽器の音色に向いています。

５）シリアル２連・２パラレルモード

２オペレータ２系列構成のアルゴリズムです。このモードは、倍音成分の多い音色にはやや不向きですが、音創りが比較的簡単なことと、２種類の音色を作成できることから、幅広い音作りに使用できます。

６）共通変調３パラレルモード

共通のモジュレータS1が、三個のキャリアS2，S3，S4を変調します。

７）シリアル２連＋２サインモード

一個の２オペレータＦＭと二個のサイン波の合成出力が得られます。

８）４パラレル・サイン波合成モード

四つのサイン波を合成した出力が得られます。ただし、S1はフィードバックをかける事で歪んだ音を作ることが可能です。

キャリアが複数となるアルゴリズムでは、周波数情報に関するパラメータが音創りの決め手となります。
アルゴリズム“７”では、キャリア毎にマルチプルを変えることで、オルガンサウンドのようなカプラー効果が得られます。さらに、ディチューンの設定により、ピッチをわずかにずらすことで音にうねりが生じ、いわゆるコーラス（ディチューン）効果が得られます。

２－４　ＰＧ（フェイズジェネレータ）

オペレータの出力周波数は、ＰＧ（フェイズジェネレータ）が発生する周波数（位相）情報によって決まります。つまり、位相データの増減を行うことで、任意の周波数での発音が可能です。
位相値即ち周波数情報は、F-Number/Block, Multiple, Detuneの各パラメータの設定で得られます。

２－４－１　Ｆ－Ｎｕｍｂｅｒ／Ｂｌｏｃｋ

楽音の音階は、１オクターブの音程とオクターブによって表すことが出来ます。
そこで、Ｆ－Ｎｕｍｂｅｒで１オクターブ内の音程を作り、Ｂｌｏｃｋでオクターブ情報を設定すれば、８オクターブの音階を簡単に作成することが可能です。

１オクターブ内のＦ－Ｎｕｍｂｅｒ設定値は、マスタークロックと音程の周波数が決まれば、次式を用いて算出することができます。

$$F\text{-}Number=(144\times f_{note}\times 2^{20}/\phi M)/2^{B-1}$$

fnote ：　発音周波数
φM　：　マスタークロック
B　　：　ブロックデータ

（例）φM=８ＭＨｚの時、Ａ4（４４０Ｈｚ）のＦ－Ｎｕｍｂｅｒを求める。

$$F\text{-}Number(A4)=(144\times 440\times 2^{20}/8\times 10^{6})/2^{4-1}$$
$$=1038.1$$

□　Ｆ－Ｎｕｍｂｅｒ／Ｂｌｏｃｋ：＄Ａ０～＄Ａ２／＄Ａ４～＄Ａ６

Ｆ－ＮｕｍｂｅｒとＢｌｏｃｋデータを設定するレジスタです。Ｆ－Ｎｕｍｂｅｒは下位８ｂｉｔ／上位３ｂｉｔの合計１１ｂｉｔ，Ｂｌｏｃｋは３ｂｉｔで構成されています。
このデータはチャンネル共通のデータとして、４個のオペレータに同じ情報が与えらえます。

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
A4～A6 /A0～A2	／	／	Ｂｌｏｃｋ			F-Ｎｕｍ2			F-Ｎｕｍ1							

Ｆ－Ｎｕｍｂｅｒ／Ｂｌｏｃｋデータの設定は、必ず以下の手順で行って下さい。
①Ｂｌｏｃｋ／Ｆ－Ｎｕｍ2 のデータライト：＄Ａ４～＄Ａ６
②Ｆ－Ｎｕｍ1 のデータライト：＄Ａ０～＄Ａ２

【参　考】

A．Ｆ－Ｎｕｍｂｅｒテーブルの設定例

表２－４　Ｆ－Ｎｕｍｂｅｒテーブル
　　　　ϕM ＝８ＭＨｚ、オクターブ：４（ C4#～C5 ）、A4 ＝４４０Ｈｚ.

Ｎｏｔｅ	音　程 [Hz]	Ｆ－ Ｎｕｍｂｅｒ	F11～F9	F8～F5	F4～F1	Key Code		
			D2D1D0	D7D6D5D4	D3D2D1D0	N4	N3	分割
C#	277.2	654.0	010	1000	1110	0	0	0
D	293.7	692.8	010	1011	0100	0	0	0
D#	311.1	734.0	010	1101	1110	0	0	0
E	329.6	777.7	011	0000	1001	0	0	0
F	349.2	823.9	011	0011	0111	0	0	0
F#	370.0	872.9	011	0110	10 0	0	0	0
G	392.0	924.8	011	1001	1100	0	1	1
G#	415.3	979.8	011	1101	0011	0	1	1
A	440.0	1038.1	100	0000	1110	1	0	2
A#	466.2	1099.8	100	0100	1100	1	0	2
B	493.9	1165.2	100	1000	1101	1	1	3
C	523.3	1234.5	100	1101	0010	1	1	3

B．ＫｅｙＣｏｄｅの設定

　Ｆ－Ｎｕｍｂｅｒデータが決まると、ディチューン，及びエンベロープレートにキースケーリングを与えるためのKey-Codeが設定されます。
　キースケーリングは発音音程に応じて、ディチューンによるピッチずれ，エンベロープレートを変化させる機能です。

　Key-Codeは、Ｆ－Ｎｕｍｂｅｒデータを基にした１オクターブ内の周波数分割と、Ｂｌｏｃｋデータの組合せで設定されます。

＊　１オクターブ内の周波数分割（Ｎ４，Ｎ３）

$$N4 = F11$$
$$N3 = F11 \cdot (F10 + F9 + F8) + \overline{F11} \cdot F10 \cdot F9 \cdot F8$$

＊　Ｂｌｏｃｋデータ（Ｂ３，Ｂ２，Ｂ１）と上記Ｎ４，Ｎ３の計５ｂｉｔから、８オクターブ全音域で３２段階のKey-Codeを設定して、キースケーリングを行います。

2－4－2 Multiple

Multipleは、F-Number/Blockによって作られた周波数情報に対して、さらに倍率を設定するパラメータです。設定可能な倍率は、表2-5 のとおりです。

2－4－3 Detune

Detuneは、F-Numberによって作られた周波数情報を各スロット単位に微妙な周波数ずれを与えるパラメータです。また、DetuneはF-Numberから得られるＫｅｙ Ｃｏｄｅによって各周波数情報に対応する値をとります。

□ Detune／Multiple

	D7	D6	D5	D4	D3	D2	D1	D0
$30～$3E	／	Detune			Multiple			

表2－5 Multipleによる倍率

Multiple(H)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
倍 率	1/2	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

表2－6 Detune

Detune	0	1	2	3	4	5	6	7
FD	0	1	2	3	0	-1	-2	-3

＊D6はサインビット。

BLOCK	NOTE	FD=0	FD=1	FD=2	FD=3	BLOCK	NOTE	FD=0	FD=1	FD=2	FD=3
0	0	0.000	0.000	0.053	0.106	4	0	0.000	0.106	0.264	0.423
0	1	↑	↑	↑	↑	4	1	↑	0.159	0.317	0.423
0	2	↑	↑	↑	↑	4	2	↑	↑	↑	0.476
0	3	↑	↑	↑	↑	4	3	↑	↑	0.370	0.529
1	0	↑	0.053	0.106	↑	5	0	↑	0.212	0.423	0.582
1	1	↑	↑	↑	0.159	5	1	↑	↑	↑	0.635
1	2	↑	↑	↑	↑	5	2	↑	↑	0.476	0.688
1	3	↑	↑	↑	↑	5	3	↑	0.264	0.529	0.741
2	0	↑	↑	↑	0.212	6	0	↑	↑	0.582	0.846
2	1	↑	↑	0.159	↑	6	1	↑	0.317	0.635	0.899
2	2	↑	↑	↑	↑	6	2	↑	↑	0.688	1.005
2	3	↑	↑	↑	0.264	6	3	↑	0.370	0.741	1.058
3	0	↑	0.106	0.212	↑	7	0	↑	0.423	0.846	1.164
3	1	↑	↑	↑	0.317	7	1	↑	↑	↑	↑
3	2	↑	↑	↑	↑	7	2	↑	↑	↑	↑
3	3	0.000	↑	0.264	0.370	7	3	0.000	↑	↑	↑

〔単位：Hz〕

2－5　EG（エンベロープジェネレータ）

EG（エンベロープジェネレータ）は、音の立ち上がりから消滅までの音量、音色の時間的な変化を発生するブロックです。
EGには、エンベロープを発生するエンベロープジェネレータと、その全体レベルを決定する出力制御回路で構成されています。EGを起動するための情報は、レジスタに配置したEG用のパラメータによって、各オペレータごとに設定することができます。

2－5－1　エンベロープジェネレータ

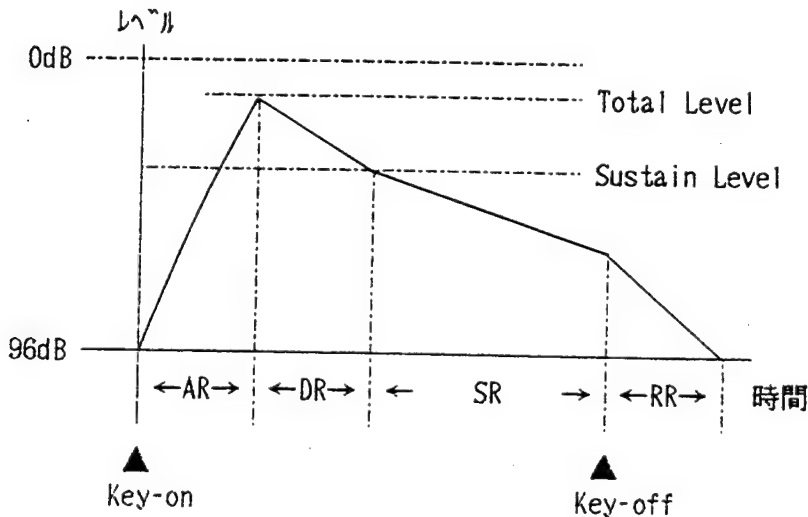
音の時間的変化を形作るエンベロープを発生します。エンベロープはアタック，ディケイ，サスティーン，リリースの各レートと、サスティーンレベルによって表されます。
図2－4はエンベロープ波形と各々のパラメータを示しています。

＊　エンベロープの波形は、アタック時は指数関数的に変化して、その他のレート時は直線的に変化します。

図2－4　エンベロープの波形と各パラメータ

□　AR（Attack　Rate）：$50～$5E

アタックレートは、Key－onした瞬間から最大レベルに到達する速さの事で、ARはこのレートを決めるパラメータです。32ステップの設定が出来、ARが大きいほど音の立ち上がりは速くなります。また、“0”の時はアタックレートが無限大となり、エンベロープは起動しません。

	D7	D6	D5	D4	D3	D2	D1	D0
$50～$5E	KS		/	Attack Rate				

※KSは29P参照。

□ ＤＲ（Ｄｅｃａｙ　Ｒａｔｅ）：＄６０～＄６Ｅ

ディケイレートは、アタック時間経過後の最大レベルから、サスティーンレベルに到達する速さの事で、ＤＲはこのレートを決めるパラメータです。３２ステップの設定が出来、ＤＲが大きいほど速く減衰します。また、“０”の時はディケイレートが無限大となり、最大レベルで持続音となります。

	D7	D6	D5	D4	D3	D2	D1	D0
$60～$6E	AM	/	/	Decay Rate				

※AMは34ページ参照。

□ ＳＬ（Ｓｕｓｔａｉｎ　Ｌｅｖｅｌ）：＄８０～＄８Ｅ

サスティーンレベルは、ディケイレートからサスティーンレートに切り替わるレベル（減衰量）の事で、ＳＬはこのレベルを決めるパラメータです。１６ステップの設定が出来、ＳＬが大きいほど減衰量は大きくなります。“０”にすると減衰量は０となり、ディケイによる減衰感が得られなくなります。各ｂｉｔの重み付けは、表２-７のとおりです。

	D7	D6	D5	D4	D3	D2	D1	D0
$80～$8E	Sustain Level				Release Rate			

表２-７　ＳＬ各ｂｉｔの重み付け

	D7	D6	D5	D4
減衰量(dB)	24	12	6	3

※　D7～D4が全て“1”の時、９３ｄＢとなります。

□ ＳＲ（Ｓｕｓｔａｉｎ　Ｒａｔｅ）：＄７０～＄７Ｅ

サスティーンレートは、サスティーンレベルから減衰する速さの事で、ＳＲはこのレートを決めるパラメータです。３２ステップの設定が出来、ＳＲが大きいほど減衰は速くなります。また、“０”にするとサスティーンレベルで持続します。

	D7	D6	D5	D4	D3	D2	D1	D0
$70～$7E	/	/	/	Sustain Rate				

□ ＲＲ（Ｒｅｌｅａｓｅ　Ｒａｔｅ）：＄８０～＄８Ｅ

リリースレートは、Ｋｅｙ－ｏｆｆ後の減衰の速さの事で、ＲＲはこのレートを決めるパラメータです。１６ステップの設定が出来、ＲＲが大きいほど減衰は速くなります。

以上、五つのパラメータを設定して、オペレータのエンベロープを決定します。しかし、これだけではオペレータの出力周波数の高低に関係なく、同じレートのエンベロープが、オペレータに与えられることになり、音色によっては不自然な場合があります。
そこで、キースケーリング機能により、音程に応じてエンベロープレートが変化するようにしました。

□ KS（Ｋｅｙ－Ｓｃａｌｅ）：＄５０～＄５Ｅ

キースケールは、発音音程に応じてエンベロープのレートを変化させる機能です。この場合、高音程になるほどレートが短くなり、音色に自然感を与える事ができます。４ステップの設定ができます。“０”ではキースケールは機能せず、“３”の時に（時間の）差が最も大きくなります。
表2-8 にＫＳによるレートのキースケーリング値を示します。

表2-8　ＲａｔｅのＫｅｙ－Ｓｃａｌｉｎｇ値

Block	0				1				2				3			
Note	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
0	0								1							
1	0				1				2				3			
2	0		1		2		3		4		5		6		7	
3	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

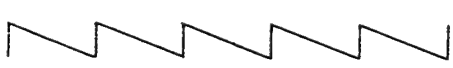
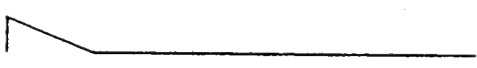
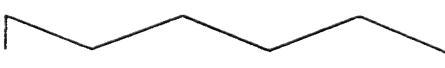
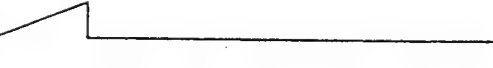
Block	4				5				6				7			
Note	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
0	2								3							
1	4				5				6				7			
2	8		9		10		11		12		13		14		15	
3	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

エンベロープジェネレータの各レートは、ＡＤＳＲパラメータの設定データとキースケーリングで与えられるオフセット値で最終的に決まります。この値は、次式の通りです。

Ｒａｔｅ＝２Ｒ＋Ｒｋｓ　　；Ｒ＝０の場合、Ｒａｔｅ＝０

・ＲはＡ．Ｄ．Ｓ．Ｒ．の各パラメータの設定値。
　但し、ＲＲ（Ｒｅｌｅａｓｅ　Ｒａｔｅ）については
　（設定値×２＋１）をＲとする。
・Ｒｋｓはキースケーリング値。

※Ｒａｔｅは６３を最大とし、計算結果が６３より大きな値の時は
　全てＲａｔｅ＝６３とする。

２－５－２　ＳＳＧ－ｔｙｐｅ　Ｅｎｖｅｌｏｐｅ　Ｃｏｎｔｒｏｌ

エンベロープジェネレータは、ＳＳＧ－ｔｙｐｅのエンベロープ波形によって制御する事ができます。これは、ＳＳＧ音源部のエンベロープ波形を利用して、ＥＧ用パラメータだけでは得られないエンベロープの変化をつけることが可能です。エンベロープの形状を図（下図）に示します。

このエンベロープを使用する場合、ＥＧパラメータは下記のように設定してください。

① ＡＲは“１Ｆ”に固定します。

② Ｋｅｙ－ｏｎ状態でのエンベロープの変化は、ＤＲ，ＳＲ、及びＳＬによるレベル設定で決まります。

③ ＲＲは通常のモードと同様に働き、Ｋｅｙ－ｏｆｆ後の減衰時間が決まります。

□ＳＳＧ－ＥＧ：＄９０～＄９Ｅ

	D7	D6	D5	D4	D3	D2	D1	D0
$90～$9E	/	/	/	/	SSG-EG			

No.	D3	D2	D1	D0	エンベロープ形状
0	1	0	0	0	
1	1	0	0	1	
2	1	0	1	0	
3	1	0	1	1	
4	1	1	0	0	
5	1	1	0	1	
6	1	1	1	0	
7	1	1	1	1	

２－５－３　出力制御回路

ＥＧパラメータで作られたエンベロープは、出力制御回路でその全体レベルが設定されます。これによりオペレータの出力レベルが決まり、ダイナミックレンジは９６ｄＢ、設定可能な分解能は０．７５ｄＢです。
ここで注意する点として、出力レベルは減衰量で表されているということです。つまり、オペレータの出力の最大値を０ｄＢとした時の減衰量を設定することになります。

□ＴＬ（Ｔｏｔａｌ　Ｌｅｖｅｌ）：＄４０～＄４Ｅ

出力レベルの設定はトータルレベルで行います。各ｂｉｔの重み付けは減衰量を示します。したがって、“00”で０ｄＢ（最大レベル）、“7F”で減衰量９６ｄＢ（最小レベル）となります。

	D7	D6	D5	D4	D3	D2	D1	D0
$40～$4E	/	Total Level						

表 2-9　ＴＬ各ｂｉｔの重み付け

	D6	D5	D4	D3	D2	D1	D0
減衰量(dB)	48	24	12	6	3	1.5	0.75

2－6　LFO：Low　Frequency　Oscillator

ＬＦＯは、内蔵の低周波発振器の出力でオペレータを変調して、音に周期的な変化を与える機能です。ＯＰＮＡのＬＦＯ波形はサイン波で、５種類のパラメータによって変調の制御をします。

□　ＬＦＯ　ＦＲＥＱ．：＄２２

ＬＦＯのｏｎ／ｏｆｆ制御と、ＬＦＯのスピード（発振周波数）を設定します。

	D7	D6	D5	D4	D3	D2	D1	D0
$22	／	／	／	／	ON	FREQ.CONT		

D3 ：“１”の時、ＬＦＯ　ｏｎ。
D2～D0 ：ＬＦＯスピード（発振周波数）の設定。

FREQ.CONT	0	1	2	3	4	5	6	7
freq(Hz)	3.98	5.56	6.02	6.37	6.88	9.63	48.1	72.2

□　ＰＭＳ（ＰｈａｓｅＭｏｄｕｌａｔｉｏｎＳｅｎｓｉｔｉｖｉｔｙ）：＄Ｂ４～＄Ｂ６

Ｆ－Ｎｕｍｂｅｒ／Ｂｌｏｃｋで設定した周波数（位相）情報に、ＬＦＯを加える（変調する）ことにより、音程に周期的な変化が得られます。ＰＭＳは変調の深さ，位相変調度をチャンネル単位に設定するパラメータです。

□　ＡＭＳ（Ａｍｐｌｉｔｕｄｅ　Ｍｏｄｕｌａｔｉｏｎ　Ｓｅｎｓｉｔｉｖｉｔｙ）：＄Ｂ４～Ｂ６

オペレータの出力レベルに周期的な変化を与えます。ＡＭＳは変調の深さ，振幅変調度をチャンネル単位に設定するパラメータです。
ＬＦＯによる振幅変調時の音への効果は、オペレータの役割によって違ってきます。キャリアが変調された時は音量の変化となり、モジュレータでは音色が変化します。

	D7	D6	D5	D4	D3	D2	D1	D0
$B4～$B6	L	R	AMS		／	PMS		

L,Rは35ページ参照。

ＰＭＳ	0	1	2	3	4	5	6	7
変調度(cent)	0	3.4	6.7	10	14	20	40	80

ＡＭＳ	0	1	2	3
変調度(dB)	0	1.4	5.9	11.8

□ AMON：＄６０～＄６E

振幅変調のｏｎ／ｏｆｆを各スロット毎に行うためのスイッチです。“１”の時ｏｎ。

	D7	D6	D5	D4	D3	D2	D1	D0
$60～$6E	AMON	/	/	Decay Rate				

内蔵のサイン波ＬＦＯでは充分な効果が得られない場合、ソフトウエアＬＦＯ（鋸歯状波、矩形波、三角波、Ｓ／Ｈ等）が必要です。これは内蔵のタイマーを利用した割り込み処理で、ＬＦＯ波形に応じたデータをオペレータの各パラメータに与えてやればよいでしょう。

図 2-5 に、ＬＦＯ機能のブロック図を示します。

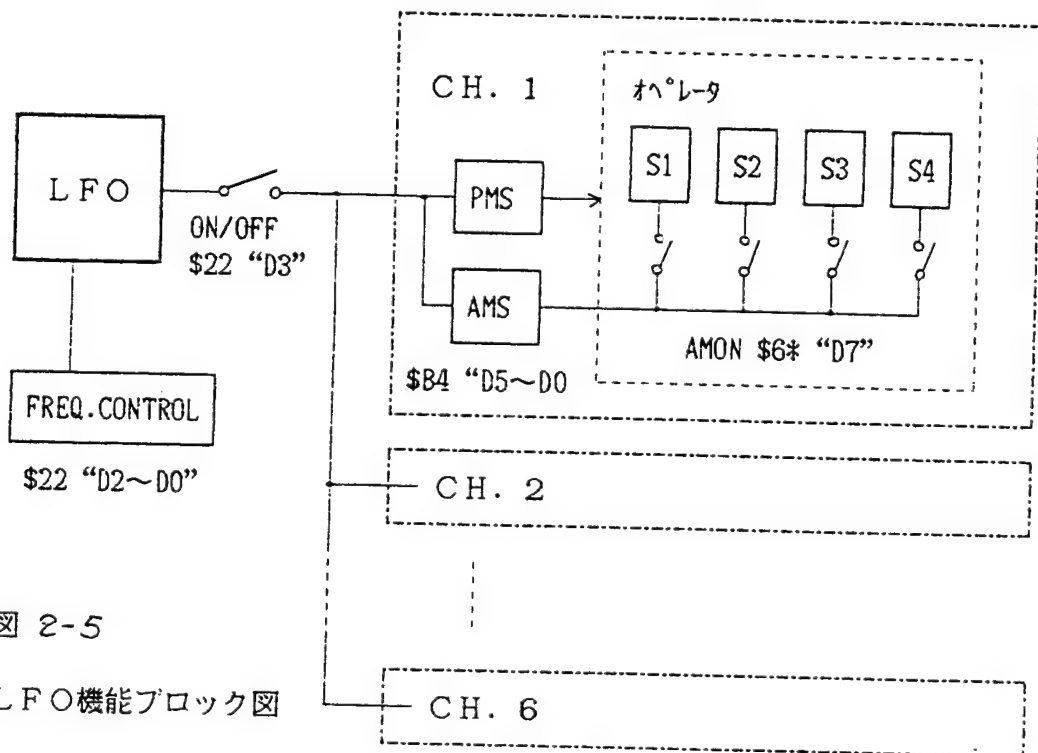



図 2-5

ＬＦＯ機能ブロック図

【参　考】　ＬＦＯによる音の周期的な変化は、楽音上、次のような効果が得られます。

・音程（ピッチ）の変化：ビブラート
・音量（レベル）の変化：トレモロ
・音色（トーン）の変化：ワウワウ

2－7　出力セレクト

ＦＭ音源部の出力をＬCH，又はＲCHに指定するスイッチです。

□　Ｌ／Ｒ：＄Ｂ４～＄Ｂ６“Ｄ７，Ｄ６”

“１”で ON となり、そのＣＨに出力します。

2－8　ＴＩＭＥＲ

タイマーは２種類のプリセッタブルタイマーとタイマーの始動，停止，フラグ制御を行うタイマーコントローラで構成されています。

タイマー情報は、タイマーに設定した時間が経過した時、ステータス０，１のタイマーフラグ（D1,D0 ）に“１”を立てて、ＣＰＵに対してＩＲＱを発生します。

2－8－1　ＴＩＭＥＲ　Ａ

タイマーＡは、＄２４，＄２５の１０ｂｉｔで作られる、分解能９μＳ（φM=8MHzの時）のタイマーカウンターです。セット可能なタイムインターバルは、①式によって算出できます。

	D7	D6	D5	D4	D3	D2	D1	D0
$24	P9	P8	P7	P6	P5	P4	P3	P2
$25	／	／	／	／	／	／	P1	P0

$$t_A = 72 * (1024 - N_A) / \phi M$$

ＮＡ：０～１０２３
φM ：マスタークロック

（例）　φM ＝8MHz 時、

tＡ（ MAX ）＝ ９２１６μS
tＡ（ MIN ）＝　　９μS

2－8－2　ＴＩＭＥＲ　Ｂ

タイマーＢは、＄２６の８ｂｉｔで作られる、分解能１４４μＳ（φM ＝8MHz ）のタイマーカウンターです。セット可能なタイムインターバルは、②式により算出できます。

	D7	D6	D5	D4	D3	D2	D1	D0
$26	P7	P6	P5	P4	P3	P2	P1	P0

$$t_B = 1152 * (256 - N_B) / \phi M$$

ＮＢ：０～２５５
φM ：マスタークロック

２−８−３　タイマーコントローラ

タイマーＡ，Ｂは、＄２７のタイマーコントローラで制御されます。

	D7	D6	D5	D4	D3	D2	D1	D0
$27	MODE		RESET		ENABLE		LOAD	
			B	A	B	A	B	A

D1,D0：タイマーのスタート、ストップを制御します。
“１”でスタートします。
“０”でタイマーはストップします。

D3,D2：ステータス０，１のタイマーフラグを制御します。
“１”の時、タイマーカウンタのオーバーフローと同時に、タイマーフラグに“１”が立ちます。又、このタイマーフラグは、$\overline{ＩＲＱ}$端子にインタラプト信号（LOW ）を発生します。
“０”の時、タイマーカウンターがオーバーフローしても、タイマーフラグは変化しません。

D5,D4：タイマーフラグをリセットします。
“１”の時、ステータス０，１のタイマーフラグをリセットして、同時にこのｂｉｔ自身も“０”にクリアされます。

２−８−４　ＣＨ３のモード設定

チャンネル３は、＄２７“D7，D6”によりモード設定が出来ます.

表２-10　ＣＨ３モード

Ｄ７	Ｄ６	モード	機　　能
０	０	ノーマル	他のＣＨと同様、ノーマル発音をします。
０	１	ＣＳＭ	ＣＳＭ音声合成モードとなり、F-Numberは４スロット別々に設定できます。ＣＳＭモード時のKey-on/offはタイマーＡを使って行います。
１ １	０ ０	効果音	ＣＳＭ同様、各スロットに別々のF-Numberを設定できます。

第３章　ＳＳＧ音源部

ＳＳＧ音源部はＤＡＣを内蔵しており、ＯＰＮＡの出力端子（２７ピン；ANALOG OUT）からアナログ信号の楽音（ＳＳＧサウンド）を出力します。ＳＳＧのレジスタは、ＦＭ音源部とは異なり、リード／ライトが可能です。以下にＳＳＧ音源部の機能として、各レジスタについて説明します。

３－１　トーンジェネレータ　コントロール

ＳＳＧ音源部では、デューティ比１：１の矩形波を、３音同時発音することができます。トーンジェネレータコントロールは、チャンネルＡ，Ｂ，Ｃの発音周波数を、粗調整４ｂｉｔ，微調整８ｂｉｔの合計１２ｂｉｔのデータで設定します。
発音周波数を求める式は下記の通りです

f tone＝φM ／（６４×ＴＰ）

φM ：　マスタークロック周波数
ＴＰ：　発音周波数設定値（１２ｂｉｔの１０進数）

□ Ｆｉｎｅ　Ｔｕｎｅ　：＄００，＄０２，＄０４
□ Ｃｏａｒｓｅ　Ｔｕｎｅ：＄０１，＄０３，＄０５

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
$01･$00 $03･$02 $05･$04	／	／	／	／	Coarse Tune				Fine Tune							

＊発音可能な周波数範囲：ＴＰ＝４０９５(MAX)～　１(MIN)

f tone(MIN)＝φM ／262,080
f tone(MAX)＝φM ／64

３－２　ノイズジェネレーター　コントロール

ＳＳＧ音源部には、さらに疑似ランダム波形によるノイズジェネレータを内蔵しています。ノイズ周波数は、ノイズジェネレータ　コントロールによって設定します。

f noise ＝φM ／（６４×ＮＰ）

φM ：　マスタークロック周波数
ＮＰ：　ノイズ周波数設定値（５ｂｉｔの１０進数）

□ Ｎｏｉｓｅ　Ｐｅｒｉｏｄ　：＄０６

	D7	D6	D5	D4	D3	D2	D1	D0
$06	／	／	／	Noise Period				

3－3　ミキサー・I／Oコントロール

このレジスタは、楽音（トーン）及びノイズジェネレータのチャンネル毎のｏｎ／ｏｆｆと2系列の汎用Ｉ／Ｏポートの入出力モードを制御します。

□ $\overline{\text{IN}}$／OUT，$\overline{\text{Noise}}$，$\overline{\text{Tone}}$

	D7	D6	D5	D4	D3	D2	D1	D0
$07	IN/OUT			$\overline{\text{NOISE}}$			$\overline{\text{TONE}}$	
	IOB	IOA	C	B	A	C	B	A

D7,D6　：Ｉ／Ｏポートの入出力状態をコントロールします。
“0”で入力、“1”で出力となります。
D5～D3　：ノイズの出力チャンネルを設定します。
“0”で出力します。
D2～D0　：トーンジェネレータのチャンネルｏｎ／ｏｆｆを設定します。
“0”で出力します。

3－4　レベルコントロール

チャンネルA，B，Cの出力レベルを制御します。出力レベルは、一定音量で出力する固定レベルモードと、音量に時間的な変化をつけるエンベロープレベルモードの選択が可能です。

□ M／Lebel：＄08～＄0A

	D7	D6	D5	D4	D3	D2	D1	D0
$08～$0A	／	／	／	M	Lebel			

D4　：モード選択を行います。
“0”の時、D3～D0で設定した固定出力レベルとなります。
“1”の時、エンベロープジェネレータに対応して、出力レベルが変化します。
D3～D0　：出力レベルを設定します。
all “1”でレベル最大となります。
D4が“1”の時、このｂｉｔはDon't careです。

表 3-1　Ｌｅｖｅｌ各ｂｉｔの重み付け

	D3	D2	D1	D0	
DACデータ	L5	L4	L3	L2	L1
出力レベル	16	8	4	2	1

＊最大レベルを３１とした時。
但し、all “0”はレベル１です。

３－５ エンベロープジェネレータ　コントロール

チャンネルA，B，Cの出力レベルをエンベロープレベルモードにした時、エンベロープの形状に従って,出力レベルに時間的変化を与えることができます。以下のレジスタでは、エンベロープ波形,及び繰り返しの周期を設定します。

□ Ｆｉｎｅ　Ｔｕｎｅ　：＄０Ｂ
□ Ｃｏａｒｓｅ　Ｔｕｎｅ：＄０Ｃ

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
$0C,$0B	Coarse Tune								Fine Tune							

エンベロープジェネレータの繰り返し周波数は、＄０Ｂ，＄０Ｃにデータを設定値することで、次式のとおり求められます。

$$fEG = \phi M / (1024 \times EP)$$

φM ：マスタークロック周波数。
ＥＰ：＄０Ｃ，＄０Ｂで与えられる周期設定値（１０進数）。

これにより周期ｔEGは、１／ｆEGで与えられます。

□ Ｃ／ＡＴＴ／ＡＬＴ／ＨＬＤ：＄０Ｄ

エンベロープ波形を設定するレジスタです。D3～D0の４ｂｉｔで、８種類のエンベロープを選択できます。各エンベロープ波形は、31ページ　　のＦＭ音源部ＳＳＧ－ＥＧと同じ波形です。

	D7	D6	D5	D4	D3	D2	D1	D0
$0D	/	/	/	/	C	ATT	ALT	HLD

《ＳＳＧ出力について》

チャンネルA，B，C出力は、チャンネル専用ＤＡＣでアナログ電圧に変換された後、ＬＳＩ内部でミキシングして　ANALOG OUT（２７ピン）端子から出力します。このため、従来のＳＳＧタイプで行っていた外部抵抗でミキシングする必要はありません。
但し、“ソースフォロア出力”ですから、負荷抵抗（RL ）は必要です。
出力電圧は、１Vp-p（RL ＝４７０Ω，３音同時発音，出力レベル最大の時）です。

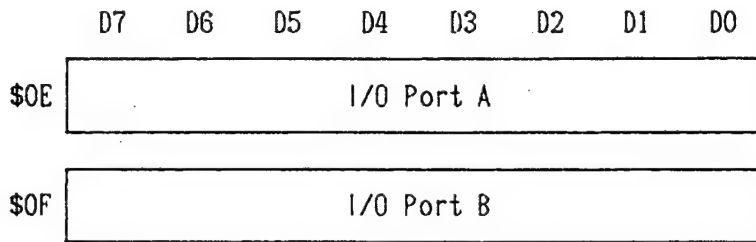
内蔵ＤＡＣは５ｂｉｔの対数ステップで出力レベルが得られます。そこで、出力モードが固定出力の時は、上位４ｂｉｔのデータを設定して、最大から最小まで１６ステップのレベル設定が可能です。
また、エンベロープ出力の時は、１エンベロープサイクルの間に５ｂｉｔのデータの増減値をＤＡＣに与えることで、指定したエンベロープ波形でレベルが連続的に変化します。この時の変化のステップは、３１ステップ（0と１は同じレベルになります）です。

３－６　Ｉ／Ｏポート

ＳＳＧ音源部は２系列の汎用Ｉ／Ｏポートを内蔵しています。このＩ／Ｏポートは、ＣＰＵと外部システムのインターフェイス用拡張ポートとして利用できます。

□　Ｉ／Ｏ　Ｐｏｒｔ　Ａ，Ｂ：＄０Ｅ，＄０Ｆ

Ｉ／Ｏポートの入出力データ格納レジスタです。ポートを出力として使用するときは、ＣＰＵからデータを書き込みます。入力として使用するときは外部システムからのデータがセットされます。

	D7	D6	D5	D4	D3	D2	D1	D0
$0E	I/O Port A							
$0F	I/O Port B							

《Ｉ／Ｏポート制御時の注意》

① Ｉ／Ｏポートの入出力状態は＄０７のD7, D6で設定します。従って、＄０Ｅ，＄０Ｆのリード／ライトに先だち、＄０７で入出力モードを指定して下さい。

② ポートを出力モードに指定した時、レジスタに書き込まれたデータはホールドされ、新しいデータに更新されるまでポートから出力し続けます。
但し、イニシャルクリア、またはポートを入力モードに変更した場合は除きます。

③ ＯＰＮＡが$\overline{\text{ＩＣ}}$（イニシャルクリア：φM の１９２サイクル以上）状態の時、Ｉ／Ｏポートは入力モードになります。

④ ポートが出力モードの時、Ｉ／Ｏ端子に入力電圧を加えないようにして下さい。

第４章　ＲＨＹＴＨＭ音源部

リズム音源部は、ＡＤＰＣＭ音声合成を用いたデジタルリズム音色です。ＡＤＰＣＭリズム音色は、ＦＭ音源では音作りが難しいリズム楽器の音色を、簡単なソフトウエアで発音させることができます。また、リズム音色は減衰音のため、少ないメモリーで比較的サンプリングしやすく、音の発生から消滅までのエンベロープを自然な状態で確保できます。

音色は、ドラムスの基本音色６種類から構成されており、６音同時発音が可能です。各々の音色は、個別にレベル設定が可能ですから、各楽器のバランス調整はもちろん、アクセント処理が自由に行えます。

リズム音源部の制御レジスタは、＄１０～＄１Ｄで構成されています。また、このレジスタへのデータアクセスは、バスコントロール信号Ａ１が“０”の時に可能です。
（　７　ページ　バスコントロール参照）

以下に、各レジスタの機能について説明します。

□　DM／RKON（Dump／Rhythm　Key　on）：＄10

リズムのｏｎ／ｏｆｆをイベント方式で制御します。ＤＭが“０”の時、D5～D0で指定したリズム音が発音して、各リズムのエンベロープで自然減衰します。ＤＭが“１”の時、指定したリズム音は強制的にダンプ（消音）されます。減衰途中の再発音，または強制ダンプ（ミュート）は、新しいイベントのタイミングによって行われます。

	D7	D6	D5	D4	D3	D2	D1	D0
$10	DM	／	RIM	TOM	HH	TOP	SD	BD

D7　：“１”の時、ｄｕｍｐ。“０”の時、Ｋｅｙ　ｏｎ。
D5～D0　：各リズム音指定。

□　RTL（Rhythm　Total　Level）：＄11

リズム音源部の総合ボリュウムです。レベルを－４７．２５～０ｄＢまで６４ステップで制御します。分解能は０．７５ｄＢです。

	D7	D6	D5	D4	D3	D2	D1	D0
$11	／	／	RTL					

	D5	D4	D3	D2	D1	D0
減衰量(dB)	24	12	6	3	1.5	0.75

D5～D0　：all“０”の時、－４７．５ｄＢ。
　　　　　all“１”の時、　０ｄＢ。

□　TEST：＄12

ＯＰＮＡのテスト用レジスタです。初期値はall“０”。

□ ＬＲ／ＩＬ（出力セレクト／Ｉｎｓｔｒｕｍｅｎｔ　Ｌｅｖｅｌ）：＄１８～＄１Ｄ

各リズム音色毎のレベルの制御と、出力チャンネルを指定します。
レベルは -２３．２５～０ｄＢまで、３２ステップで制御します。
分解能は０．７５ｄＢです。

	D7	D6	D5	D4	D3	D2	D1	D0
$18～$1D	L	R	／	IL				

	D4	D3	D2	D1	D0
減衰量(dB)	12	6	3	1.5	0.75

D7　：“1”の時、ＬCHに出力します。
D6　：“1”の時、ＲCHに出力します。
D4～D0　：all“0”の時、－２３．２５ｄＢ。
　　　　all“1”の時、　０ｄＢ。

音色に対応するレジスタは、以下のとおりです。

＄１８：ＢＤ　（バスドラム）
＄１９：ＳＤ　（スネアドラム）
＄１Ａ：ＴＯＰ（トップシンバル）
＄１Ｂ：ＨＨ　（ハイハット(×)）
＄１Ｃ：ＴＯＭ（タムタム）
＄１Ｄ：ＲＹＭ（リムショット）

第５章　ＡＤＰＣＭ音源部

ＡＤＰＣＭ音源部は、ＡＤＰＣＭ方式によるデータ圧縮技術を用いて、音声分析・合成を行います。ＡＤＰＣＭ（Ａｄａｐｔｉｖｅ　Ｄｉｆｆｅｒｒｅｎｔｉａｌ　ＰＣＭ）方式は、音声データと予測データとの差分を、波形の変位に柔軟に変化する量子化幅（適応量子化幅）によりコード化することで、音質をあまり損なうことなく再生に必要な情報量（ビットレート）の削減が図れます。
ＡＤＰＣＭ音源を内蔵することで、ヒューマンボイス，自然界の生音等をサンプリングして、ＦＭ，ＳＳＧ，リズム音源部と同時に発音させることが可能です。

５－１　主要機能

１）　ＡＤＰＣＭ音声分析・合成

４ｂｉｔのＡＤＰＣＭ音声分析／合成を行います。
サンプリングレートは、分析時：２ｋＨｚ～１６ｋＨｚ、
　　　　　　　　　　　合成時：２ｋＨｚ～５５．５ｋＨｚで設定可能です。

音声分析／合成は、ＯＰＮＡの外部メモリー、またはＣＰＵ（が管理するメモリー）との間で実行可能です。さらにＯＰＮＡを介して、外部メモリーからＣＰＵに、ＣＰＵから外部メモリーにデータ転送が行えます。

２）　外部メモリーコントロール

ＯＰＮＡが管理する外部メモリーに対して、音声分析／合成時のデータアクセスをコントロールします。外付け可能なメモリー容量はＲＡＭ／ＲＯＭ共に２５６ｋｂｙｔｓで、ＤＲＡＭのアクセスを×１ｂｉｔ、または×８ｂｉｔ、及びＲＯＭを選択できます。

３）　ＡＤ／ＤＡ変換

専用ＤＡＣ・ＹＭ３０１６を利用して、ＡＤまたはＤＡ変換器として使用できます。
いずれの場合も、サンプリングレートは、２ｋＨｚ～１６ｋＨｚの間で行います。

【参　考】　ＡＤＰＣＭのアルゴリズム

Ａ．ＡＤＰＣＭ音声分析の手順

① ＡＤ変換・・・・・音声をサンプリングレートごとに、８ｂｉｔのＰＣＭデータに変換します。

② ８→１６変換・・・得られたＰＣＭデータを２５６倍して、１６ｂｉｔのデータ；Ｘｎに変換します。

③ ｄｎの算出・・・・このＸｎを予測値$\hat{X}$ｎと比較して、その差分；ｄｎを求めます。

④ ＡＤＰＣＭデータの決定

・・・・ｄｎが正の時はＡＤＰＣＭデータのＭＳＢ（Ｌ４）を“０”、負の時は“１”にします。
差分の絶対値；｜ｄｎ｜と量子化幅；Δｎの関係から、ＡＤＰＣＭデータの残り３ｂｉｔ（Ｌ３，Ｌ２，Ｌ１）を決定します。
ＡＤＰＣＭデータの符号化は表5-1に示すとおりです

表5-1　ＡＤＰＣＭデータと量子化幅変化率（ｆ）

L4		L3	L2	L1	f	条　　件 (In= |dn| ／Δn)
dn≧0	dn<0					
		0	0	0	57/64	In <1/4
		0	0	1	57/64	1/4≦ In <1/2
		0	1	0	57/64	1/2≦ In <3/4
		0	1	1	57/64	3/4≦ In < 1
0	1	1	0	0	77/64	1 ≦ In <5/4
		1	0	1	102/64	5/4≦ In <3/2
		1	1	0	128/64	3/2≦ In <7/4
		1	1	1	153/64	7/4≦ In

以上の操作で、音声データからＡＤＰＣＭデータへの変換は終わりです。

⑤ 予測値と量子化幅の更新

・・・・ＡＤＰＣＭデータが得られると、次ステップの予測値；$\hat{X}_{n+1}$と量子化幅；Δ_{n+1}の更新を行います。

$$\hat{X}_{n+1} = (1-2*L4)*(L3+L2/2+L1/4+1/8)*\Delta_n + \hat{X}_n$$

$$\Delta_{n+1} = f(L3, L2, L1)*\Delta_n \quad : \Delta_{n\,min}=127、\Delta_{n\,max}=24576$$

※初期設定：　予測値　$\hat{X}_1=0$
量子化幅　$\Delta_1=127$

以下、①～⑤の操作を各サンプリングタイム毎に繰り返して音声分析が行われます。

B．ＡＤＰＣＭ音声合成の手順

分析の⑤項に示す予測値、量子化幅の更新の式が合成データを計算する式になります。
つまり、予測値が合成音となって得られることになります。

５－２　レジスタ機能

ＡＤＰＣＭ音源部の制御は、＄００～＄１０の１７個のレジスタで行います。
（レジスタのアクセスは、バスコントロール信号Ａ１が“１”の時に行われます。）

以下に、各レジスタの機能について説明します。尚、文中の［外部メモリー］はＯＰＮＡが管理するＲＡＭ、またはＲＯＭを指しています。

□　コントロールレジスタ１：＄００

ＡＤＰＣＭ音声分析／合成の起動、外部メモリアクセスの制御のためのレジスタです。

	D7	D6	D5	D4	D3	D2	D1	D0
$00	START	REC	MEM DATA	REPEAT	SP OFF	／	／	RESET

D0　：ＡＤＰＣＭ音声合成時のリセット機能です。実行中“１”にすると、音声合成を停止して初期状態に戻ります。リセットする時は、必ずREPEAT(D4)を“０”にして下さい。

D3　：“１”の時、SPOFF 端子が“１”となり、ＡＤＰＣＭ分析及びＡＤ変換時のスピーカーOFF 用コントロール信号として使用します。

D4　：リピート設定を行います。“１”の時、リピートｏｎとなり、外部メモリーの同一アドレス区間を繰り返しアクセスして、ＡＤＰＣＭ音声合成を行います。

D5　：ＡＤＰＣＭ分析／合成データをアクセスするメモリーを選択します。外部メモリーをアクセスする時は“１”、ＣＰＵ管理のメモリーの時は“０”にします。

D6　：ＡＤＰＣＭ音声分析、及びＣＰＵから外部メモリーに分析データを書き込む時、“１”にします。

D7　：ＡＤＰＣＭ音声分析／合成のスタート設定ｂｉｔです。
外部メモリーをアクセスする時は、このｂｉｔに“１”が立った時から分析・合成がスタートします。したがって、スタートする前に分析／合成に必要な全ての条件を設定する事が必要です。
ＣＰＵ管理のメモリーをアクセスする場合は、＄０８のADPCM-DATAレジスタをＲＥＡＤ／ＷＲＩＴＥした時からスタートします。

＊ RESET , REPEATは、外部メモリーをアクセス時のみ働く機能です。
＊ START ｂｉｔを“０”にする時は、先にSTART ｂｉｔを“０”にして、次に残りのデータをリセットします。

□ コントロールレジスタ２：＄０１

外部メモリーの指定、ＤＡ／ＡＤ変換の制御、及びＡＤＰＣＭ出力の指定を行います。

	D7	D6	D5	D4	D3	D2	D1	D0
$01	L	R	/	/	SAMPLE	DA/AD	RAM TYPE	ROM

D0　：外部メモリーの指定。“１”の時、ＲＯＭ，“０”の時、ＤＲＡＭ。
D1　：ＤＲＡＭのｂｉｔ指定。
　　“１”の時、×８ｂｉｔ，“０”の時、×１ｂｉｔでアクセス。
D2　：ＤＡ／ＡＤ変換の指定。
　　“１”の時、ＤＡ変換を指定して、＄０ＥのDAC DATAレジスタに書き込まれたデータを出力します。
　　“０”の時、ＡＤ変換を指定して、８ｂｉｔＰＣＭ（２'Sコンプリメント）データにＡＤ変換します。
D3　：“１”にした時からＤＡ／ＡＤ変換がスタートします。
D6　：“１”の時、Ｌｃｈに出力します。
D7　：“１”の時、Ｒｃｈに出力します。

《ＤＡ／ＡＤ変換のスタート》

ＤＡ変換・・・コントロールレジスタ２（＄０１）で、ＤＡ出力の設定とSAMPLE（D3）
　　DA/AD（D2）を“１”にした時からスタートします。
ＡＤ変換・・・コントロールレジスタ１（＄００）で、SPOFF（D3）を“１”とした後
　　SAMPLE（D3）に“１”　DA/AD（D2）を“０”にした時からスタートします。

□　スタート　アドレス　L／H：＄02／＄03
□　ストップ　アドレス　L／H：＄04／＄05

ＤＲＡＭ，ＲＯＭのスタートアドレス、ストップアドレスを設定します。

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
$03,$02	START ADDRESS(H)								START ADDRESS(L)							
$05,$04	STOP ADDRESS(H)								STOP ADDRESS(L)							

《スタート／ストップのアドレス設定》

BANK			CAS ADDRESS									RAS ADDRESS								
2^2	2^1	2^0	A8	A7	A6	A5	A4	A3	A2	A1	A0	A8	A7	A6	A5	A4	A3	A2	A1	A0
START ADDRESS(H)								START ADDRESS(L)								0	0	0	0	0
STOP ADDRESS(H)								STOP ADDRESS(L)								1	1	1	1	1

※ＤＲＡＭ（２５６ｋ×１ｂｉｔ）の場合
・BANKとは、８個のＤＲＡＭのチップセレクトを意味しています。
・データアクセスはｂｉｔ単位で行われ、アドレス指定の最小分解能は３２ｂｉｔ（４ｂｙｔｅ）単位になります。

※ＲＯＭ，ＤＲＡＭ×８ｂｉｔアクセスの場合
・BANKデータ（D7～D5）はスタートアドレス、ストップアドレスとも同じ値に設定します。
・データアクセスはｂｙｔｅ単位で行われ、アドレス指定の最小分解能は３２ｂｙｔｅになります。

□　プリスケール　L／H：＄06、＄07

ＡＤＰＣＭ分析を含むＡＤ変換時、及びＤＡ変換時のサンプリング周波数を指定します。指定範囲は２ｋＨｚ～１６ｋＨｚです。

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
$07,$06	PRESCALE(H)								PRESCALE(L)							
	/	/	/	/	/	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	N0

fsample＝φM ／２NPRE　；NPRE ＝２５０～２０４７（φM ＝８ＭＨｚの時）

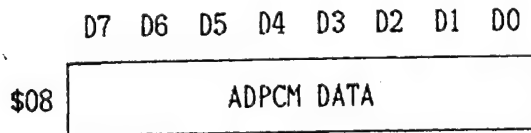
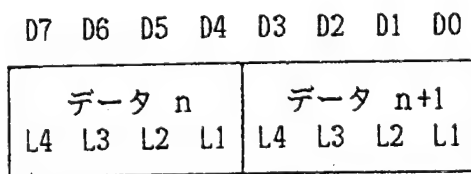
（例）fsample＝８ｋＨｚの時、NPRE ＝５００

□ ＡＤＰＣＭ　データ：＄０８

ＡＤＰＣＭ分析／合成を、ＣＰＵが管理するメモリーに対して行う時、又はＣＰＵより外部メモリーをアクセスする時に、ＡＤＰＣＭデータを格納するリード・ライトが可能なバッファレジスタです。

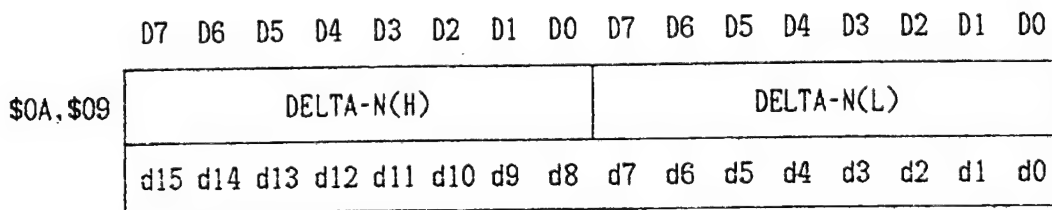
	D7	D6	D5	D4	D3	D2	D1	D0
$08	ADPCM DATA							

《ＡＤＰＣＭデータの構成》

D7	D6	D5	D4	D3	D2	D1	D0
データ n				データ n+1			
L4	L3	L2	L1	L4	L3	L2	L1

ＡＤＰＣＭデータは４ｂｉｔのデータですから、１ｂｙｔｅ当り２データとなります。上位４ｂｉｔがｎ番目のデータだとすると、下位４ｂｉｔはそれに続くn+1番目のデータとなります。

□ ＤＥＬＴＡ－Ｎ　Ｌ／Ｈ：＄０９，＄０Ａ

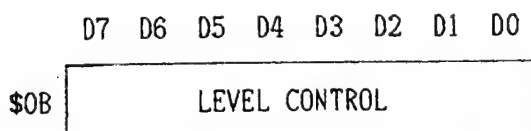
ＡＤＰＣＭ音声合成時のサンプリング周波数を設定します。同時に、各サンプリング間を５５．５ｋＨｚで線形補間するための補間係数を与えます。

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
$0A,$09	DELTA-N(H)								DELTA-N(L)							
	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0

DELTA-N ＝（ｆsample／５５．５ｋＨｚ）$\times 2^{16}$　；DELTA-N ＝２３６２～2^{16}

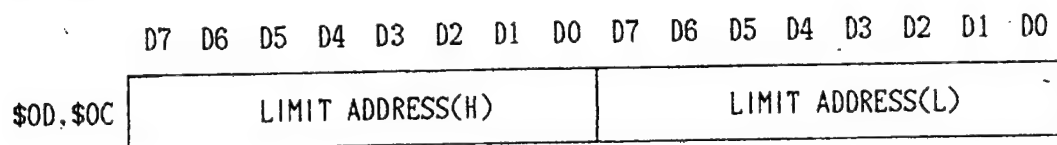
（例）ｆsample＝８ｋＨｚの時、DELTA-N ＝９４４７

□ レベルコントロール：＄０Ｂ

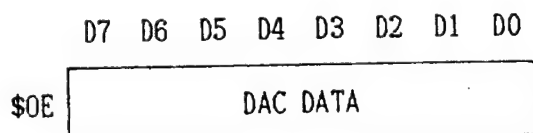
ＡＤＰＣＭ音声合成の出力レベルを、無音（００）から最大音量（ＦＦ）まで、２５６ステップにコントロールします。このデータは、ＡＤＰＣＭ音声合成出力のみに有効です。

	D7	D6	D5	D4	D3	D2	D1	D0
$0B	LEVEL CONTROL							

□　リミットアドレス　L／H：＄0C，＄0D

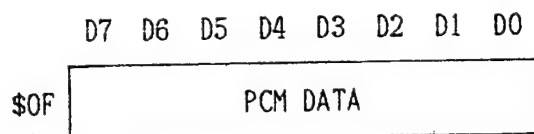
メモリーのリミット値を設定するレジスタです。メモリーアクセス時に、このアドレスに達すると０番地に戻ります。このレジスタの設定値は、ストップアドレスと等しいか、または大きい値とします。ＡＤＰＣＭ音声分析／合成時、メモリーｒｅａｄ／ｗｒｉｔｅ時には必ず設定して下さい。

	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
$0D,$0C	LIMIT ADDRESS(H)								LIMIT ADDRESS(L)							

□　ＤＡＣ　データ：＄０Ｅ

ＤＡ変換時、このレジスタにデータ書き込むことにより、ＤＡ変換が行われます。書き込み時のデータフォーマットは、２'Sコンプリメント８ｂｉｔＰＣＭデータです。

	D7	D6	D5	D4	D3	D2	D1	D0
$0E	DAC DATA							

□　ＰＣＭ　データ：＄０Ｆ

ＡＤ変換時、変換済みデータを格納するための読み出し専用レジスタです。したがって、ＣＰＵによるＰＣＭデータの収集は、このレジスタをＲＥＡＤして行います。
データフォーマットは２'Sコンプリメント８ｂｉｔＰＣＭデータです。

	D7	D6	D5	D4	D3	D2	D1	D0
$0F	PCM DATA							

□ FLAG コントロール：＄１０

ステータス１（または０）の各フラグを制御します。
システムリセット後の初期設定は、D4、D3、D2は“１”、その他は“０”となります。

	D7	D6	D5	D4	D3	D2	D1	D0
$10	IRQ RESET	/	/	MASK ZERO	MASK BRDY	MASK EOS	MASK TIMERB	MASK TIMERA

D0　：“１”の時、タイマーＡの動作に関係なく、タイマーＡのフラグをマスクして“０”とします。
D1　：MASK TAと同様にタイマーＢのフラグをマスクします。
D2　：“１”の時、ＥＯＳフラグをマスクします。この時、ＡＤＰＣＭ音声分析・合成の終了、外部メモリーのリード／ライトの終了、及びＡＤ変換の終了時に、ＥＯＳフラグは発生しません。
D3　：“１”の時、ＢＲＤＹフラグをマスクします。この時、ＡＤＰＣＭ音声分析・合成時、及び外部メモリーアクセス時のデータ書き込み要求、読み出し要求（ＢＲＤＹ）フラグは発生しません。
D4　：“１”の時、ＺＥＲＯフラグをマスクします。
D7　：“１”として書き込む時、D4～D0のマスクｂｉｔは無視（ｂｉｔの書換えを禁止）されます。
同時に全てのステータスフラグを“０”にします。

５－３　ステータス　レジスタ

ステータス情報は、ＳＴＡＴＵＳ０，１をリードすることで得られます。
イベントフラグは、タイマーフラグ、ＢＵＳＹフラグ、ＡＤＰＣＭ専用フラグで構成されています。これらのフラグは、各々のイベントが発生した時に“1”が立ちます。またフラグコントロール（＄１０）で、不必要なフラグのマスクも可能です。
ステータス情報により、$\overline{\text{IRQ}}$端子からＣＰＵに対して割り込み処理が可能です。いずれかのフラグに“1”が立った時、$\overline{\text{IRQ}}$端子はＬＯＷレベルになり、ＣＰＵに対して割り込み信号を発生します。（$\overline{\text{IRQ}}$端子はオープンドレイン出力ですから、他のデバイスの$\overline{\text{IRQ}}$端子とワイアード接続が可能です。）

■　ＳＴＡＴＵＳ０：＄××（バスコントロールＡ１，Ａ０が“0”の時リード）

このレジスタは、ＹＭ２２０３（ＯＰＮ）のステータスレジスタと同じ構成ですから、ＯＰＮで開発したソフトウエアを使用するような場合、変更の必要がありません。

D7	D6	D5	D4	D3	D2	D1	D0
BUSY	／	／	／	／	／	FLAG B	FLAG A

D0　：タイマーＡにセットした時間が経過した時、“1”になります。

D1　：タイマーＢにセットした時間が経過した時、“1”になります。

D7　：データをレジスタにロード中、“1”になります。このフラグは、ＦＭ音源部のレジスタにのみ有効です。フラグを見ながらアドレスライト、データライトを行う場合はウェイト時間は必要ありません。

■　ＳＴＡＴＵＳ１：＄××（バスコントロールＡ１が“1”、Ａ０が“0”の時、リード）

ＳＴＡＴＵＳ０に、ＡＤＰＣＭ分析時に必要となるステータスフラグを追加したレジスタです。したがって、FLAG A、FLAG B、BUSYは、ＳＴＡＴＵＳ０と同一機能です。

D7	D6	D5	D4	D3	D2	D1	D0
BUSY	／	PCM BUSY	ZERO	BRDY	EOS	FLAG B	FLAG A

D2　：ＡＤＰＣＭ音声分析／合成の終了時、ＡＤ／ＤＡ変換時の１サンプリング周期の経過時、“1”になります。
D3　：ＡＤＰＣＭ音声分析（合成）時、２データ（4bit×2 ）の分析（合成）が終了した時、“1”になります。
外部メモリーライト（リード）時、１データライト（リード）終了した時、“1”になります。
D4　：ＡＤＰＣＭ音声分析中、２９０ｍｓｅｃ以上、無音状態が続く時、“1”になります。
D5　：ＡＤＰＣＭ音声／合成の実行中“1”になります。

RAM-WRITE（CPU→OPNA→RAM）

ADDR.	DATA	R/W	コ　メ　ン　ト
			◎初期設定
＄１０	＄１３	W	フラグＢＲＤＹ，ＥＯＳをイネーブルにする。
＄１０	＄８０	W	各フラグをリセットする。
＄００	＄６０	W	メモリーライトモードにする。
＄０１	$00/$02	W	メモリータイプを指定にする。
＄０２	＄××	W	スタートアドレスを設定。（Ｌ）
＄０３	＄××	W	（Ｈ）
＄０４	＄△△	W	ストップアドレスを設定。（Ｌ）
＄０５	＄△△	W	（Ｈ）
＄０Ｃ	＄□□	W	リミットアドレスを設定。（Ｌ）
＄０Ｄ	＄□□	W	（Ｈ）
			◎メモリーライト
＄０８	＄ｘｘ	W	---> データの書き込み。
＄１０	＄１Ｂ	W	フラグＢＲＤＹをリセットする。
＄１０	＄１３	W	フラグＥＯＳ，ＢＲＤＹのみイネーブルにする。
＄－－		R	---- ステータス１　リード。
			(Loop) フラグＥＯＳ“１”なら、書き込み終了。
			フラグＢＲＤＹ“１”なら、次データ書き込み
＄００	＄００	W	◎終了プロセス。
＄１０	＄８０	W	

RAM／ROM－READ（外部メモリー→OPNA→CPU）

ADDR.	DATA	R/W	コ　メ　ン　ト
			◎初期設定
＄１０	＄１３	W	フラグＢＲＤＹ，ＥＯＳをイネーブルにする。
＄１０	＄８０	W	各フラグをリセットする。
＄００	＄２０	W	メモリーリードモードにする。
＄０１	$00～$02	W	メモリータイプを指定。
＄０２	＄××	W	スタートアドレスを設定。（Ｌ）
＄０３	＄××	W	（Ｈ）
＄０４	＄△△	W	ストップアドレスを設定。（Ｌ）
＄０５	＄△△	W	（Ｈ）
＄０Ｃ	＄□□	W	リミットアドレスを設定。（Ｌ）
＄０Ｄ	＄□□	W	（Ｈ）
			◎メモリーリード
＄０８		R	---> データの読み出し。（最初の２回はダミーリード）
＄１０	＄１Ｂ	W	フラグＢＲＤＹをリセットする。
＄１０	＄１３	W	フラグＥＯＳ，ＢＲＤＹのみイネーブルにする。
＄－－		R	---- ステータス１　リード。
			(Loop) フラグＢＲＤＹ“１”なら、次データ読み出し。
			『最後の２データ分はフラグが立たないので、フラグに関係なく読み出す事。』
			フラグＥＯＳが“１”なら、読み出し終了。
＄００	＄００	W	◎終了プロセス。
＄１０	＄８０	W	

■音声分析（ＯＰＮＡ→外部メモリー）

ADDR.	DATA	R/W	コ　メ　ン　ト
			◎初期設定
＄１０	＄１Ｂ	W	フラグＥＯＳをイネーブルにする。
＄１０	＄８０	W	各フラグをリセットする。
＄００	＄６８	W	音声分析（メモリー）モードにする。ＳＰ　ＯＦＦ。
＄０１	$00/$02	W	メモリータイプを指定。
＄０２	＄××	W	スタートアドレスを設定。（Ｌ）
＄０３	＄××	W	（Ｈ）
＄０４	＄△△	W	ストップアドレスを設定。（Ｌ）
＄０５	＄△△	W	（Ｈ）
＄０Ｃ	＄□□	W	リミットアドレスを設定。（Ｌ）
＄０Ｄ	＄□□	W	（Ｈ）
＄０６	＄Ｆ４	W	サンプリングレート設定。（Ｌ）
＄０７	＄０１	W	<8kHz：Npre＝500>　（Ｈ）
			◎分析スタート
＄００	＄Ｅ８	W	＄００，D7が“1”になるのに同期して分析開始。
		R	ステータス１をリード。 フラグＥＯＳに“1”が立ち、 分析終了を指示するまで待機。
＄００	＄００	W	◎終了プロセス。
＄１０	＄８０	W	

■音声合成（外部メモリー→ＯＰＮＡ）

ADDR.	DATA	R/W	コ　メ　ン　ト
			◎初期設定
＄１０	＄１Ｂ	W	フラグＥＯＳをイネーブルにする。
＄１０	＄８０	W	各フラグをリセットする。
＄００	$20/$30	W	音声合成（メモリー）モードにする。
＄０１	$40〜$42	W	メモリータイプを指定。Ｒｃｈに出力。
＄０２	＄××	W	スタートアドレスを設定。（Ｌ）
＄０３	＄××	W	（Ｈ）
＄０４	＄△△	W	ストップアドレスを設定。（Ｌ）
＄０５	＄△△	W	（Ｈ）
＄０Ｃ	＄□□	W	リミットアドレスを設定。（Ｌ）
＄０Ｄ	＄□□	W	（Ｈ）
＄０９	＄ＤＥ	W	サンプリングレート設定。（Ｌ）
＄０Ａ	＄２４	W	<8kHz：△N＝9438>　（Ｈ）
＄０Ｂ	$00〜$FF	W	出力レベルの設定。
			◎合成スタート
＄００	$A0/$B0	W	＄００，D7が“1”になるのに同期して合成開始。
		R	ステータス１をリード。 フラグＥＯＳに“1”が立ち、 合成終了を指示するまで待機。
	＄Ａ１	W	合成を強制的に中止。
＄００	＄００	W	◎終了プロセス。
＄１０	＄８０	W	

■音声分析（OPNA→CPU）

ADDR.	DATA	R/W	コ メ ン ト
			◎初期設定
$10	$17	W	フラグBRDYをイネーブルにする。
$10	$80	W	各フラグをリセットする。
$00	$C8	W	音声分析（CPU）モードにする。SP OFF。
$06	$F4	W	サンプリングレート設定。（L）
$07	$01	W	< 8kHz：Npre=500 > （H）
			◎分析スタート
$08		R	データ読み出し（最初はダミーリード）
$10	$80	W	各フラグをリセット。
		R	ステータス1 リード。
			フラグBRDY“1”なら、次データ読み出し。
$00	$48	W	◎終了プロセス
$00	$00	W	
$10	$80	W	

■音声合成（CPU→OPNA）

ADDR.	DATA	R/W	コ メ ン ト
			◎初期設定
$10	$17	W	フラグBRDYをイネーブルにする。
$10	$80	W	各フラグをリセットする。
$00	$80	W	音声分析（CPU）モードにする。
$01	$C0	W	L，Rに出力。
$09	$DE	W	サンプリングレート設定。（L）
$0A	$24	W	< 8kHz：ΔN =9438 > （H）
$0B	$xx	W	ボリュウム設定。
			◎分析スタート
$08	$xx	W	データ書き込み
$10	$80	W	各フラグをリセット。
		R	ステータス1 リード。
			フラグBRDY“1”なら、次データ書き込み。
$00	$00	W	◎終了プロセス
$10	$80	W	

■AD変換

ADDR.	DATA	R/W	コ　メ　ン　ト
			◎初期設定
$10	$1B	W	フラグEOSをイネーブルにする。
$10	$80	W	各フラグをリセットする。
$06	$F4	W	サンプリングレート設定。（L）
$07	$01	W	< 8kHz：Npre=500 >（H）
$00	$08	W	スピーカーOFF.
			◎変換プロセス
$01	$08	W	AD開始。
		R	ステータス1　リード。
			フラグEOS“1”なら、PCMデータリード。
$0F	$xx	R	PCMデータリード。
$10	$80	W	フラグをリセット。
$00	$00	W	◎終了プロセス
$10	$80	W	

■DA変換

ADDR.	DATA	R/W	コ　メ　ン　ト
			◎初期設定
$10	$1B	W	フラグEOSをイネーブルにする。
$10	$80	W	各フラグをリセットする。
$06	$F4	W	サンプリングレート設定。（L）
$07	$01	W	< 8kHz：Npre=500 >（H）
			◎変換プロセス
$01	$CC	W	DA開始。
$0E	$xx	W	DACデータ書き込み。
		R	ステータス1　リード。
			フラグEOS“1”なら、リセットして
			次データの書き込み。
$10	$80	W	フラグをリセット。
$00	$00	W	◎終了プロセス
$10	$80	W	

ı. 絶対最大定格

項　　目	定 格 値	単 位
端子電圧 動作周囲温度 保存温度	－0.3～7. 0 0～70 － 50～125	V ℃ ℃

. 推奨動作条件

項　　目	記 号	最 小	標 準	最 大	単 位
電源電圧	Vcc GND	4.75 0	5.0 0	5.25 0	V V

8．電気的特性

1）直流特性

項	目	記号	条件	最小	最大	単位
入力Highﾚﾍﾞﾙ電圧	全入力 (但し、ｸﾛｯｸ入力除く)	V_{IH}		2.0	Vcc	V
入力Lowﾚﾍﾞﾙ電圧	全入力 (但し、ｸﾛｯｸ入力除く)	V_{IL}		-0.3	0.8	V
ｸﾛｯｸ入力 Highﾚﾍﾞﾙ電圧	φM	V_{CH}		2.0	Vcc	V
ｸﾛｯｸ入力 Lowﾚﾍﾞﾙ電圧	φM	V_{CL}		-0.3	0.8	V
入 ﾘｰｸ電流	φM, $\overline{WR}$, $\overline{RD}$, A0, A1	I_L	V_{in}=0〜5V	-10	10	μA
ｽﾘｰｽﾃｰﾄ(ｵﾌ状態) 入力電流	D0〜D7	I_{TSL}	V_{in}=0〜5V	-10	10	μA
出力Highﾚﾍﾞﾙ電圧	$\overline{IRQ}$を除く出力	V_{OH1} V_{OH2}	I_{OH1}=0.4mA I_{OH2}=40μA	2.4 3.3		V V
出力Lowﾚﾍﾞﾙ電圧	全出力	V_{OL}	I_{OL}=2mA		0.4	V
出力ﾘｰｸ電流 (ｵﾌ状態)	$\overline{IRQ}$	I_{OL}	V_{OH}=0〜5V	-10	10	μA
ｱﾅﾛｸﾞ出力電圧	ANALOG OUT	V_{OA}	最大音量 ３音同時 R_L=470Ω	0.80	1.10	V_{PP}
ｱﾅﾛｸﾞ入力電圧	AD, DA	V_A		Vcc/4	3Vcc/4	V
電源電流		I_{CC}			200	mA
ﾌﾟﾙｱｯﾌﾟ抵抗	IOA0〜IOA7, IOB0〜IOB7 IC, CS, DTO, DM0〜DM7	R_{PU}		60	600	KΩ
入力容量	全入力	C_I	f =1MHz		10	pF
出力容量	全出力	C_O			10	pF

2）交流特性

項　　　目		記　号	条　　　件	最小	標準	最大	単位
入力ｸﾛｯｸ周波数	φM	f_C	(図 1)			8.0	MHz
入力ｸﾛｯｸﾃﾞｭｰﾃｨ	φM			40	50	60	%
入力ｸﾛｯｸ立ち上り時間	φM	T_{CR}	(図 1)			50	ns
入力ｸﾛｯｸ立ち下り時間	φM	T_{CF}	(図 1)			50	ns

ＦＭ音源，リズム音源のアクセス

項　　　目		記　号	条　　　件	最小	標準	最大	単位
ｱﾄﾞﾚｽｾｯﾄｱｯﾌﾟ時間	A0,A1	T_{AS}	(図 2,3)	10			ns
ｱﾄﾞﾚｽﾎｰﾙﾄﾞ時間	A0,A1	T_{AH}	(図 2,3)	10			ns
ﾁｯﾌﾟｾﾚｸﾄﾗｲﾄ幅	$\overline{CS}$	T_{CSW}	(図 2)	200			ns
ﾁｯﾌﾟｾﾚｸﾄﾘｰﾄﾞ幅	$\overline{CS}$	T_{CSR}	(図 3)	250			ns
ﾗｲﾄﾊﾟﾙｽ幅	$\overline{WR}$	T_{WW}	(図 2)	200			ns
ﾗｲﾄﾃﾞｰﾀｾｯﾄｱｯﾌﾟ時間	D0～D7	T_{WDS}	(図 2)	100			ns
ﾗｲﾄﾃﾞｰﾀﾎｰﾙﾄﾞ時間	D0～D7	T_{WDH}	(図 3)	20			ns
ﾘｰﾄﾞﾊﾟﾙｽ幅	$\overline{RD}$	T_{RW}	(図 3)	250			ns
ﾘｰﾄﾞﾃﾞｰﾀｱｸｾｽ時間	D0～D7	T_{ACC}	C_L=100pF (図 3)			250	ns
ﾘｰﾄﾞﾃﾞｰﾀﾎｰﾙﾄﾞ時間	D0～D7	T_{RDH}	(図 3)	10			ns
ｱｳﾄﾌﾟｯﾄ立ち上り時間	φS	T_{OR1}	C_L=100pF (図 4)			200	ns
	OP0 SH1,SH2	T_{OR2}	C_L=100pF (図 5)			300	ns
ｱｳﾄﾌﾟｯﾄ立ち下り時間	φS	T_{OF1}	C_L=100pF (図 4)			200	ns
	OP0 SH1, SH2	T_{OF2}	C_L=100pF (図 5)			300	ns

＊ＳＳＧ音源のアクセス

項目		記号	条件	最小	標準	最大	単位
ｱﾄﾞﾚｽｾｯﾄｱｯﾌﾟ時間	A0,A1	T_{SAS}	(図 6,7)	10			ns
ｱﾄﾞﾚｽﾎｰﾙﾄﾞ時間	A0,A1	T_{SAH}	(図 6,7)	10			ns
ﾁｯﾌﾟｾﾚｸﾄﾗｲﾄ幅	$\overline{CS}$	T_{SCSW}	(図 6)	250			ns
ﾁｯﾌﾟｾﾚｸﾄﾘｰﾄﾞ幅	$\overline{CS}$	T_{SCSR}	(図 7)	400			ns
ﾗｲﾄﾊﾞﾙｽ幅	$\overline{WR}$	T_{SWW}	(図 6)	250			ns
ﾗｲﾄﾃﾞｰﾀｾｯﾄｱｯﾌﾟ時間	D0～D7	T_{SWDS}	(図 6)	0			ns
ﾗｲﾄﾃﾞｰﾀﾎｰﾙﾄﾞ時間	D0～D7	T_{SWDH}	(図 6)	20			ns
ﾘｰ゛゛ﾊﾞﾙｽ幅	$\overline{RD}$	T_{SRW}	(図 7)	400			ns
ﾘｰﾄﾞﾃﾞｰﾀｱｸｾｽ時間	D0～D7	T_{SACC}	CL=100pF (図 7)			400	ns
ﾘｰﾄﾞﾃﾞｰﾀﾎｰﾙﾄﾞ時間	D0～D7	T_{SRDH}	(図 7)	10			ns

ＡＤＰＣＭ音源のアクセス

項目		記号	条件	最小	標準	最大	単位
ｱﾄﾞﾚｽｾｯﾄｱｯﾌﾟ時間	A0,A1	T_{AAS}	(図 8, 9)	10			ns
ｱﾄﾞﾚｽﾎｰﾙﾄﾞ時間	A0,A1	T_{AAH}	(図 8, 9)	10			ns
ﾁｯﾌﾟｾﾚｸﾄﾗｲﾄ幅	$\overline{CS}$	T_{ACSW}	(図 8)	380			ns
ﾁｯﾌﾟｾﾚｸﾄﾘｰﾄﾞ幅	$\overline{CS}$	T_{ACSR}	(図 9)	380			ns
ﾗｲﾄﾊﾟﾙｽ幅	$\overline{WR}$	T_{AWW}	(図 8)	380			ns
ﾗｲﾄﾃﾞｰﾀｾｯﾄｱｯﾌﾟ時間	D0～D7	T_{AWDS}	(図 8)	10			ns
ﾗｲﾄﾃﾞｰﾀﾎｰﾙﾄﾞ時間	D0～D7	T_{AWDH}	(図 8)	30			ns
ﾘｰﾄﾞﾊﾟﾙｽ幅	$\overline{RD}$	T_{ARW}	(図 9)	380			ns
ﾘｰﾄﾞﾃﾞｰﾀｱｸｾｽ時間	D0～D7	T_{AACC}	(図 9)			380	ns
ﾘｰﾄﾞﾃﾞｰﾀﾎｰﾙﾄﾞ時間	D0～D7	T_{ARDH}	(図 9)	10			ns
ﾒﾓﾘｰﾃﾞｰﾀｾｯﾄ時間	DM1～DM7 DT0	T_{AMDS}	(図 12,13)	70			ns
ﾒﾓﾘｰﾃﾞｰﾀﾎｰﾙﾄﾞ時間	DM1～DM7 DT0	T_{AMDH}	(図 12,13)	10			ns
ｱｳﾄﾌﾟｯﾄ立ち上り時間	DM0～DM7, $\overline{RAS}$ CAS, $\overline{WE}$, A8 MDEN, ROMCS	T_{AOR3}	(図 10)			300	ns
ｱｳﾄﾌﾟｯﾄ立ち下り時間	DM0～DM7, $\overline{RAS}$ CAS, $\overline{WE}$, A8 MDEN, ROMCS	T_{AOF3}	(図10)			300	ns

リセット

項目		記号	条件	最小	標準	最大	単位
ﾘｾｯﾄﾊﾟﾙｽ幅	$\overline{IC}$	T_{ICW}	(図 11)	192			ｻｲｸﾙ

タイミング図（タイミング図の設定はV_H＝2.0V, V_L=0.8Vを基準とする。）

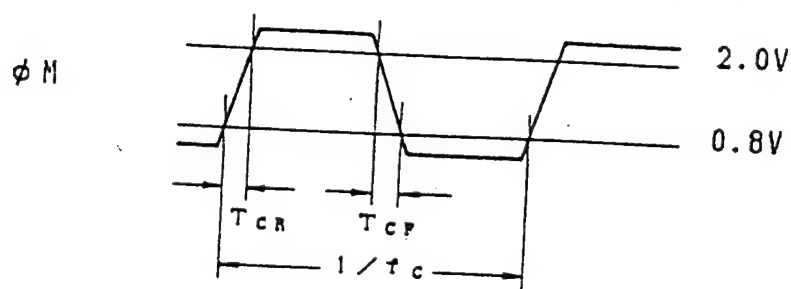
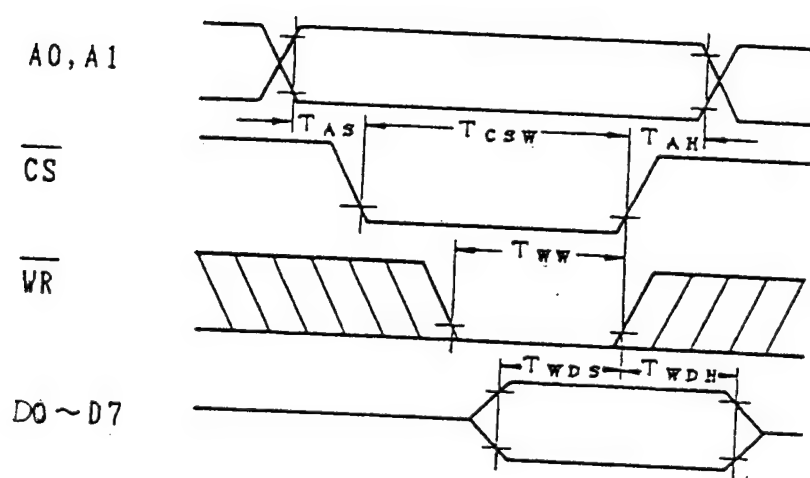
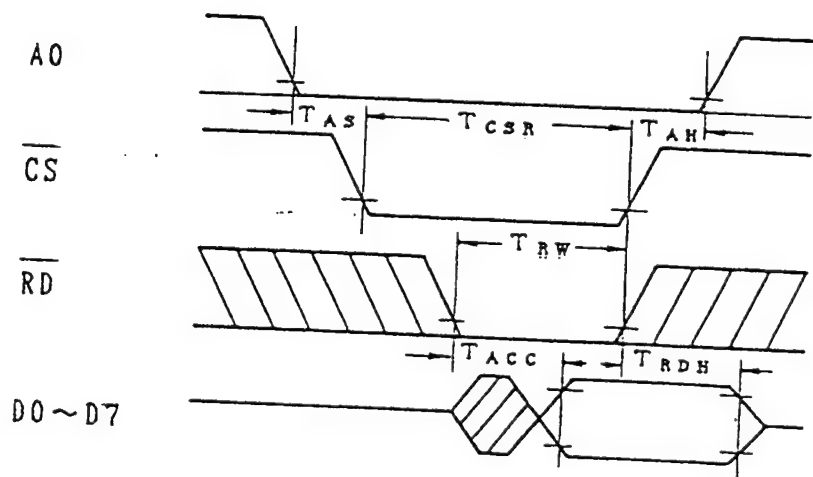



図１　クロックタイミング

（注）

T_{CSW}, T_{WW}, T_{WDS}, T_{WDH}は、$\overline{CS}$, $\overline{WR}$の何れかがＨＩＧＨレベルになる時を基準とする。

図２　FM部，リズム部ライトタイミング

（注）

T_{ACC}は、$\overline{CS}$, $\overline{RD}$の何れかが遅くＬＯＷレベルになる時を基準とする。

T_{CSR}, T_{RW}, T_{RDH}は、$\overline{CS}$, $\overline{RD}$の何れかがＨＩＧＨレベルになる時を基準とする。

図３　FM部リードタイミング

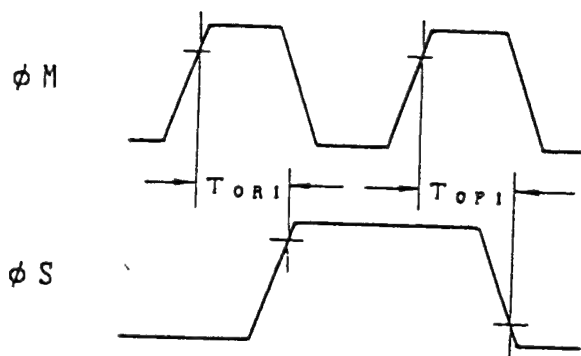



図４　出力タイミング(1)

図５　出力タイミング(2)

（注）

T_{SWDS}は，$\overline{CS}$，$\overline{WR}$の何れかが遅くＬＯＷレベルになる時を基準とする。

T_{SCSW}，T_{SWW}，T_{SWDH}は，$\overline{CS}$，$\overline{WR}$の何れかがＨＩＧＨレベルになる時を基準とする。

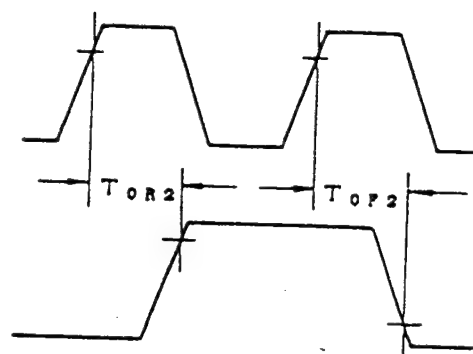
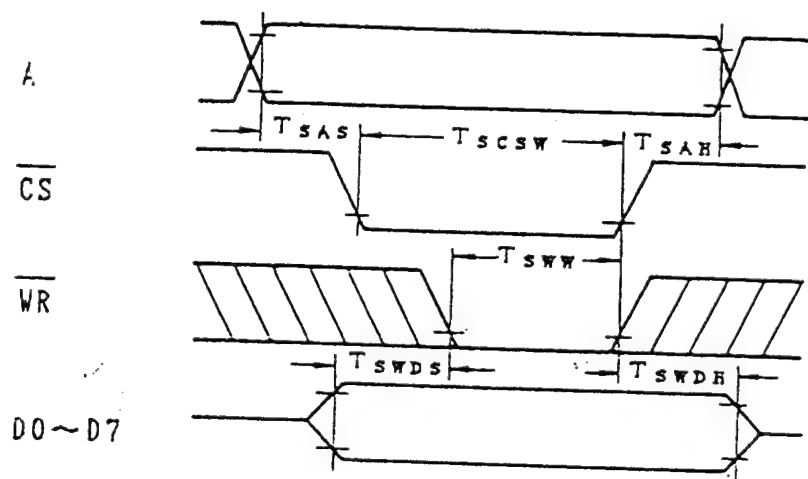
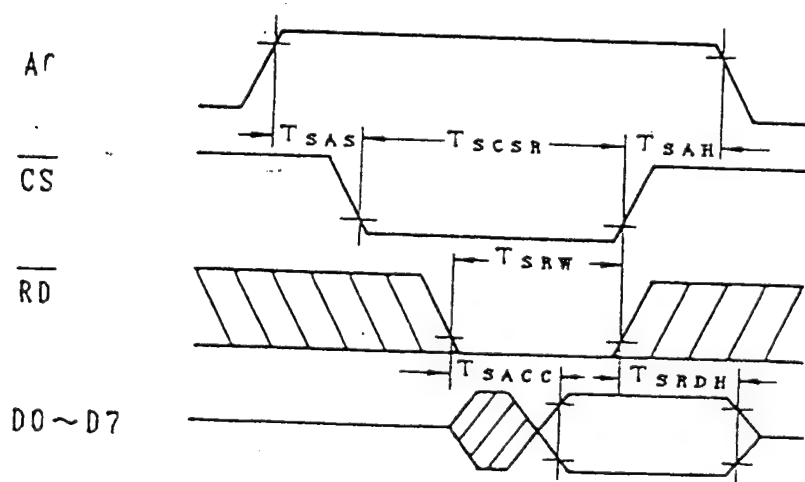



図６　SSG部ライトタイミング

（注）

T_{SACC}は，$\overline{CS}$，$\overline{RD}$の何れかが遅くＬＯＷレベルになる時を基準とする。

T_{SCSR}，T_{SRW}，T_{SRDH}は，$\overline{CS}$，$\overline{RD}$の何れかがＨＩＧＨレベルになる時を基準とする。

図７　SSG部　リードタイミング

図８　ADPCM部ﾗｲﾄﾀｲﾐﾝｸﾞ

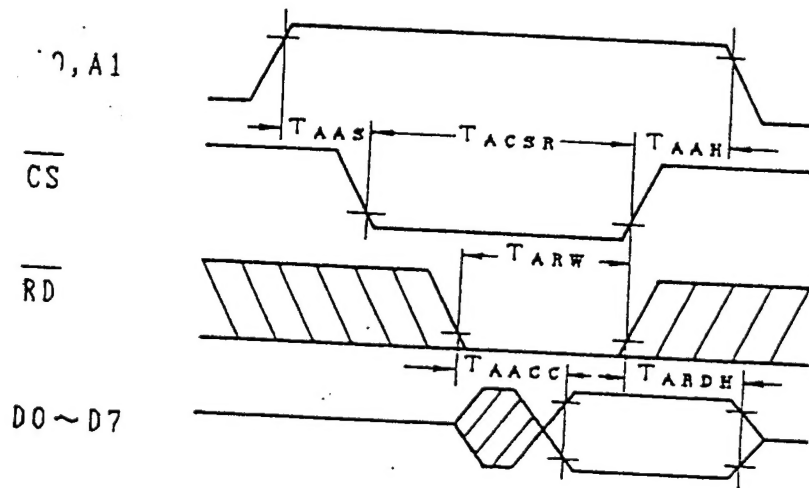



図９　ADPCM部ﾘｰﾄﾞﾀｲﾐﾝｸﾞ

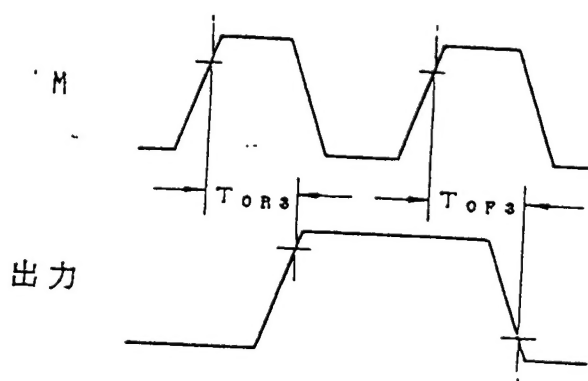



図１０　出力ﾀｲﾐﾝｸﾞ(3)

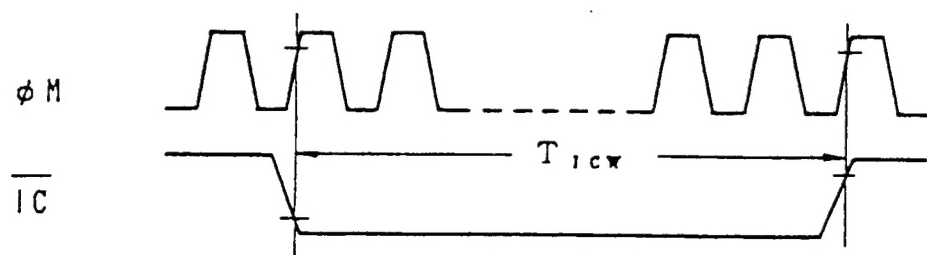



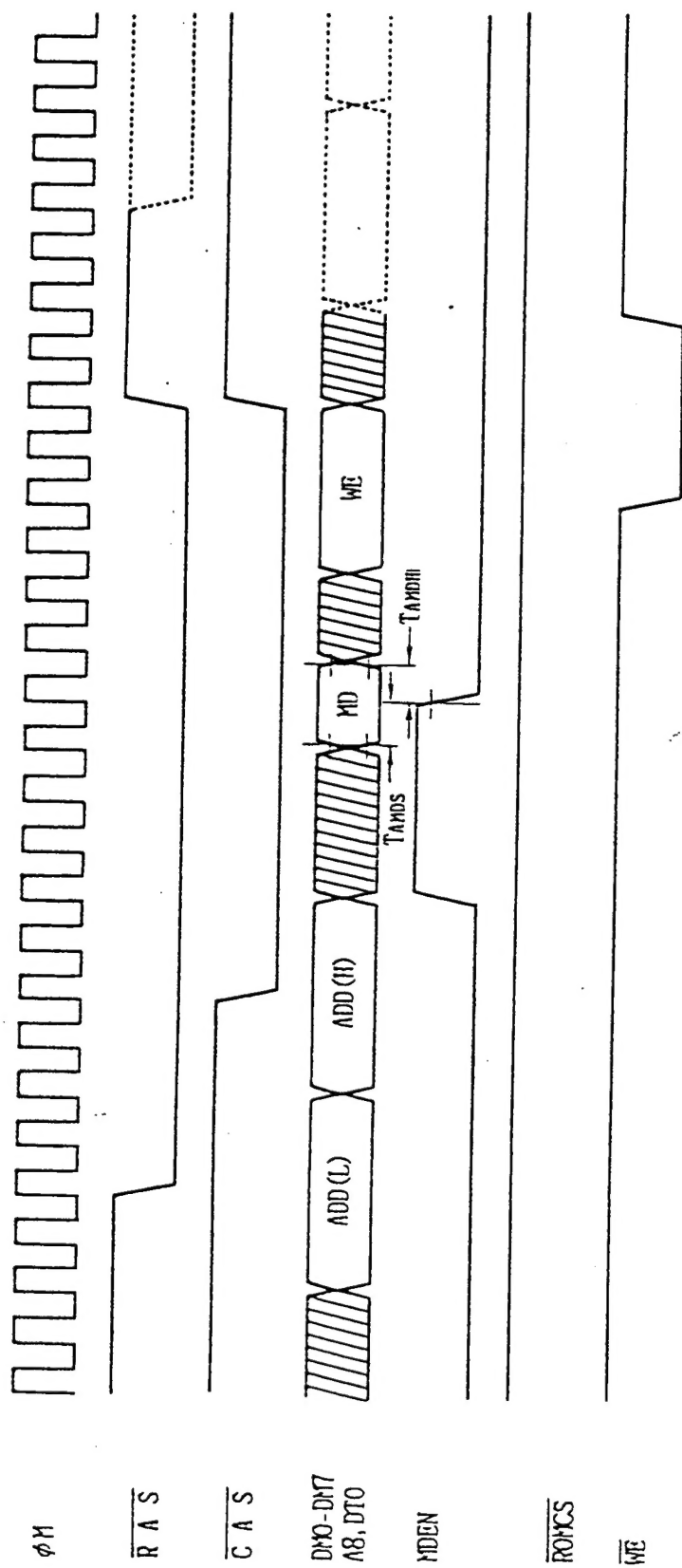
図１１　リセットパルス幅

(注) A8はADD (L), ADD (H) のみ規程、DT0はMDのみ規程、DM0はADD (L) ADD (H) 及びWDを規程。

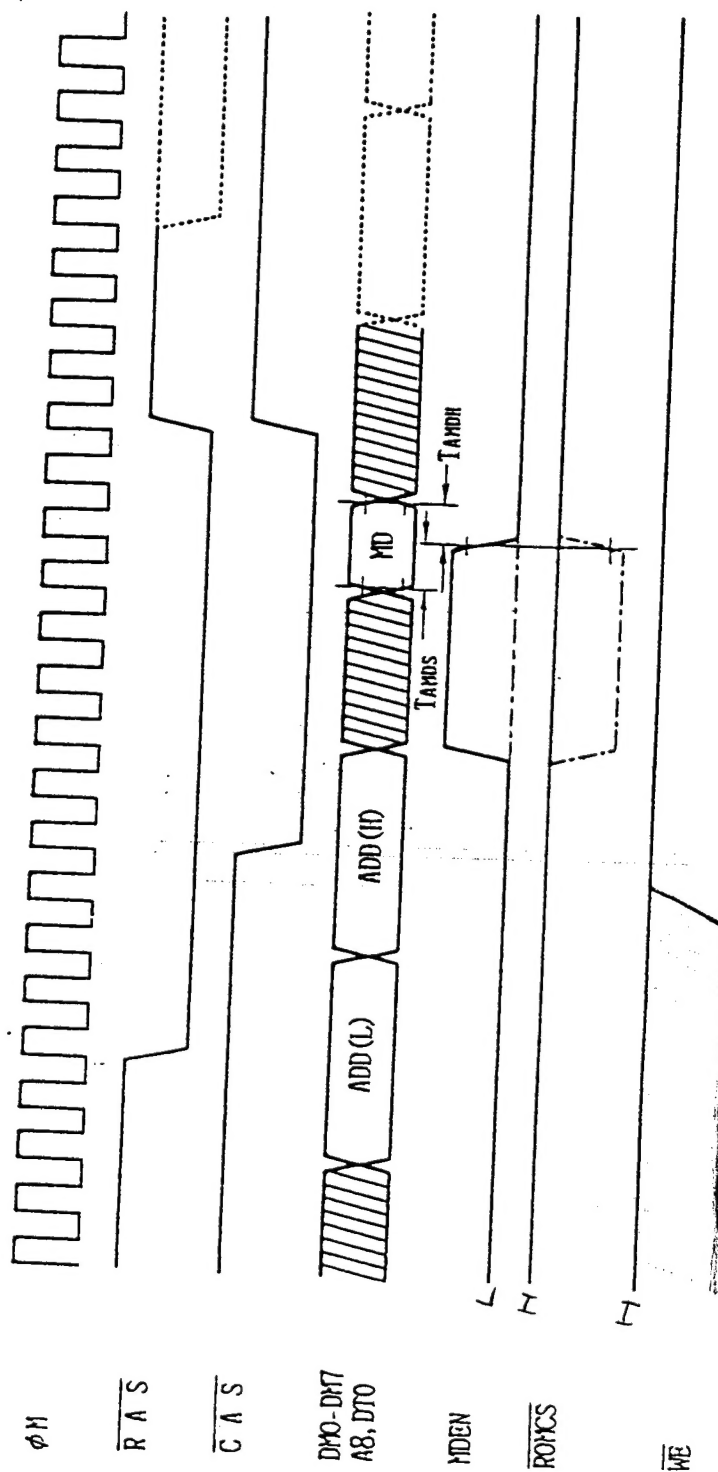
図12 外部メモリーライトサイクル

(注) A8はADD (L), ADD (H) のみ規程、DT0はMDのみ規程、DM0はADD (L) ADD (H) を規程。MDENと$\overline{\text{ROMCS}}$は実線がRAMリードサイクル、一点鎖線はROMリードサイクル。

図１３ 外部メモリーリードサイクル